

Prefacio

El presente documento forma parte del programa de estudios de la carrera Electrónica ofrecida a sus estudiantes en el Instituto Universitario de Tecnología para la informática – Iutepi. Sirve de apoyo complementario bajo la modalidad de autoaprendizaje publicado en su campus virtual, a todos los alumnos que cursan la materia.

Tener el conocimiento básico es necesario para la comprensión y desenvolvimiento en el área no solo de la electrónica sino también de los sistemas y las señales digitales.

En el texto se ha reunido un material académico que permite introducir al estudiante en los principios y fundamentos para desarrollarse en el campo de los circuitos digitales, el contenido está hecho en forma modular para permitir al estudiante ir adquiriendo los conocimientos y debida comprensión de los temas conforme avanza en el contenido.

Los multiplexores y demultiplexores son los primeros circuitos combiancionales en este texto, estos son los circuitos con los que se comprende el manejo de las entradas y salidas digitales (1 y 0) que es lo común en un sistema digital.

Haremos un estudio particular en el funcionamiento y manejo de circuitos secuenciales, pasando por los estados estables y no estables de estos circuitos, los cuales son la base de los equipos de cómputo y almacenamiento como microprocesadores y microcontroladores y las memorias de almacenamiento.

Al Estudiante:

Casi todo está digitalizado en la actualidad, desde electrodomésticos de uso cotidiano hasta nuestro teléfono celular, los avances en tecnología y la cada vez mayor capacidad de almacenamiento (memorias), crean la necesidad de conocer y manejar las bases y fundamentos de las tecnologías digitales, para así poder ingresar al campo de trabajo con conocimientos y una alta capacitación.

El almacenamiento y direccionamiento programable, seguirá creciendo y mejorando por lo que es fundamental contar con futuros profesionales preparados en el área.

Contenido del programa de estudios

- 1.- Multiplexores y Demultiplexores (3)
- 2.- Los Circuitos Aestables y Monoestables (6)
Temporizador LM555 para su Operación como Astable y Monoestable (8)
- 3.- Flip Flop's (FF's) (13)
 - 3.1.- Generalidades (13)
 - 3.2.- FF Asíncrono (Latch SR) y Síncrono (SR-D). Tabla Característica y de Excitación (13)
 - 3.3.- FF Síncrono JK-T. Tabla Característica y de Excitación. Entrada de Reloj (16)
 - 3.4.- Aplicaciones de los Flip-Flop's (17)
 - 3.4.1.- Contadores (20)
 - 3.4.1.1.- Síncronos y Asíncronos (21)
 - 3.4.2.- Registros (27)
 - 3.4.2.1.- Registros de Desplazamiento:
 - Serie-Serie (28)
 - Serie-Paralelo (30)
 - Paralelo-Serie (31)
 - Paralelo-Paralelo (32)
- 4.- Circuitos Básicos de Interfaz para Sistemas Digitales (36)
- 5.- Memorias (38)

Multiplexores y Demultiplexores

Los multiplexores (Mux) y demultiplexores (Demux) son circuitos combinacionales, es decir, se forman a partir de la combinación de compuertas lógicas, AND, OR, NOT, etc. El multiplexor es un circuito que posee varias entradas y una sola salida, el demultiplexor es lo opuesto, posee una sola entrada y varias salidas.

Multiplexores (Mux)

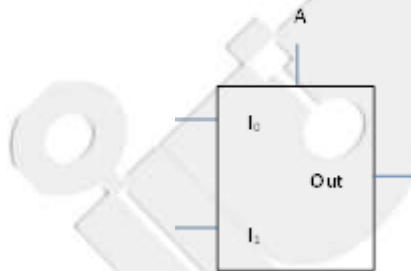
Un multiplexor (Mux) es un circuito combinacional que permite dirigir la información digital procedente de diversas fuentes a una única línea para ser transmitida a través de dicha línea a un destino común. El multiplexor básico posee varias líneas de entrada de datos y una única línea de salida. También posee entradas de selección de datos, que permiten conmutar los datos digitales provenientes de cualquier entrada hacia la línea de salida. A los multiplexores también se les conoce como selectores de datos.

Básicamente un Mux es un circuito combinacional de varias entradas y una única salida, la salida dependerá de las variables que controlan el circuito.

Una aplicación muy útil de los multiplexores/selectores de datos consiste en la generación de funciones lógicas combinacionales en forma de suma de productos. Cuando se emplea de esta manera, este dispositivo puede reemplazar puertas lógicas discretas, puede reducir significativamente el número de circuitos integrados y permite que los cambios en el diseño sean mucho más sencillos.

La cantidad de puertos de entrada en un Mux depende de la cantidad de variables de control n , en una relación donde: puertos de entrada = 2^n . Para un Mux de una variable de control, se tendrán dos puertos de entradas de datos ($2^1 = 2$), y así, para un Mux de dos variables de control se tendrán cuatro puertos de entradas de datos, para cuatro variables de control se tienen 16 entradas de datos.

La salida de un Mux obedece a la tabla de verdad de las variables de control, a continuación se describe brevemente un Mux de una variable de control con su tabla de verdad correspondiente:



A	Out
0	I_0
1	I_1

Tabla de verdad Mux cuatro entradas

Multiplexor (Mux), dos entradas de datos (I_0, I_1) una variable de control (A) una salida (Out)

Figura 1.- Símbolo de Mux 2:1. Tabla.- Tabla de verdad para Mux 2:1

La interpretación es muy sencilla, para la posición $A = 0$, la salida del Mux será la entrada I_0 , esto significa que, lo que está en ese primer puerto pasa directamente a la salida.

El circuito combinacional de un Mux 2:1, dos entradas de datos y una variable de control es el siguiente:

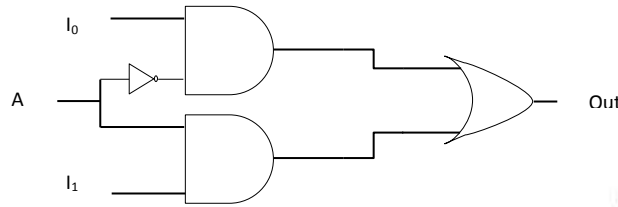
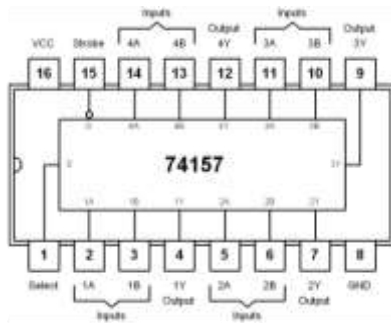


Figura 2.- Circuito combinacional AND-OR-NOT de un Mux 2:1

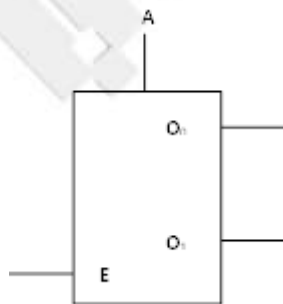


Multiplexor 4 bloques 2:1 (Fabricante: Texas Instruments)

Figura 3.- Diagrama interno de cuatro Mux 2:1. Circuito integrado 74157

Demultiplexores (Demux)

Un demultiplexor (DEMUX) realiza la función contraria a la del multiplexor. Toma datos de una línea y los distribuye a un determinado número de líneas de salida. Por este motivo, el demultiplexor se conoce también como distribuidor de datos. Básicamente un Demux es un circuito combinacional de una entrada y una varias salidas, la salida dependerá de las variables que controlan el circuito. La cantidad de puertos de salida en un Demux depende de la cantidad de variables de control n , en una relación donde: puertos de salida = 2^n . Para un Demux de una variable de control, se tendrán dos puertos de salida de datos ($2^1 = 2$), y así, para un Demux de dos variables de control se tendrán cuatro puertos de salida de datos. La salida de un Demux obedece a la tabla de verdad de las variables de control, a continuación se describe brevemente un Demux de una variable de control con su tabla de verdad correspondiente:



A	O ₀	O ₁
0	Dato	0
1	0	dato

Figura 4.- Símbolo de Demux 1:2. Tabla.- Tabla de Verdad Demux 1:2

Aunque el Demux es contrario al Mux, tiene una interpretación de su tabla de verdad muy similar, es claro que el puerto dato (E) pasa directamente a la salida (O_0, O_1), según lo indique la variable de control (A)

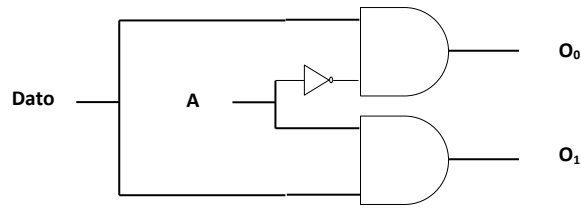


Figura 5.- Circuito combinacional Demux 1:2

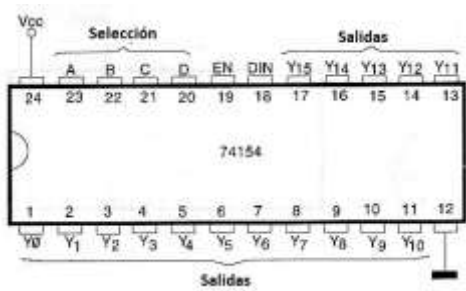


Figura 6.- Integrado 74154 Demultiplexor 1:16

Autoevaluación

Multiplexores

1. En general, un multiplexor tiene

- (a) una entrada de datos, varias salidas de datos y entradas de selección.
- (b) una entrada de datos, una salida de datos y una entrada de selección.
- (c) varias entradas de datos, varias salidas de datos y entradas de selección.
- (d) varias entradas de datos, una salida de datos y entradas de selección.

2. Básicamente, los selectores de datos son lo mismo que:

- (a) decodificadores
- (b) demultiplexores
- (c) multiplexores
- (d) codificadores

Circuitos Aestable y Monoestable

Un circuito Multivibrador es calificado como tal cuando tiene la capacidad de generar una onda cuadrada, dependiendo de las características de operación, un multivibrador se divide en tres tipos:

Circuito Aestable

También conocido como oscilador de carrera libre, es un circuito capaz de cambiar de un estado a otro sin intervención externa, al ser conectado, automáticamente comienza su ciclo permaneciendo en un estado por cierto tiempo t_1 , cambiando al otro estado y permaneciendo en este un tiempo t_2 , si el circuito es simétrico teóricamente, los tiempos t_1 y t_2 serán iguales, es decir, tiene un ciclo activo del 50%.

Un buen ejemplo de esto es el circuito integrado 555, conectado como Multivibrador Aestable, con el cuál puede lograrse este efecto.

Veamos el siguiente circuito aestable básico, conformado por elementos pasivos como resistencia, transistor bipolar y condensador:

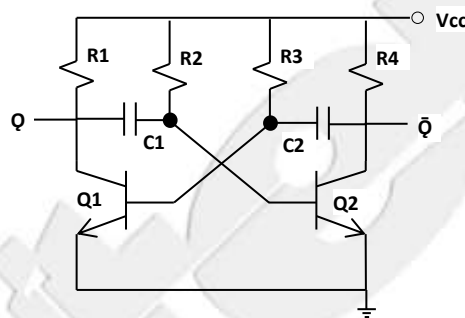


Figura 7 .- Circuito Aestable basado en elementos pasivos

Describamos brevemente el funcionamiento del circuito:

En un circuito aestable, el tiempo es determinado por dos capacitores y dos resistencias, esto se debe a la constante RC de tiempo de carga o descarga en un capacitor. Al momento de conectar V_{cc} que es la alimentación del circuito, uno de los dos transistores comienza a conducir, supongamos que Q_1 está ON (saturado) y Q_2 en OFF (corte), con Q_1 en ON el capacitor C_1 se carga por medio de la resistencia R_1 , hasta un tiempo t_1 , momento que el capacitor C_1 alcanza una tensión de carga lo suficiente para polarizar la base del transistor Q_2 haciendo que Q_2 entre en modo ON y pasando Q_1 al modo OFF. En este punto el capacitor C_2 comienza a cargarse por medio de la resistencia R_4 , durante un tiempo t_2 el capacitor C_2 se cargara hasta alcanzar un voltaje que permita polarizar la base de Q_1 , haciendo que Q_1 entre en modo ON y Q_2 en modo OFF, con lo cual el ciclo se repite.

Si ahora analizamos los puntos Q y \bar{Q} , tendremos que según sea el modo de Q_1 o Q_2 , se tendrá un valor de voltaje en dichos puntos, es claro que en Q_1 -ON el punto Q estará a voltaje alto (1) y \bar{Q} en voltaje bajo (0), estos valores cambian cuando Q_1 y Q_2 cambian de estado.

Circuito Monoestable

Este circuito tiene la característica de que necesita de un pulso externo para cambiar de estado, pasado un período de tiempo t_1 este regresa al estado anterior, no es posible mantener el estado activo indefinidamente. A este circuito comúnmente se le conoce como Temporizador (Timer). El tiempo t_1 que dura el cambio de estado está dado por la relación RC entre resistencia y capacitor. Un buen ejemplo de esto, es nuevamente el circuito integrado 555, conectado como Multivibrador Monoestable.

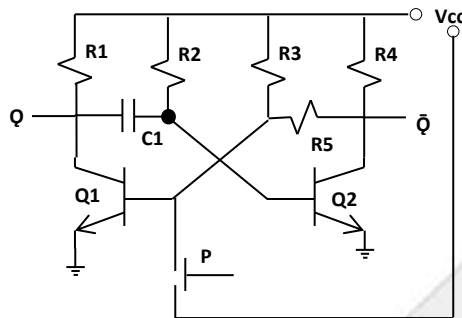


Figura 8 .- Circuito Monoestable basado en elementos pasivos

La descripción de este circuito es simple, en su forma estable, Q_1 está en modo OFF (corte) y Q_2 en modo ON (saturado), en el momento que se pulsa P, por la base de Q_1 entra la tensión V_{CC} , esto polariza a Q_1 colocándolo en modo ON y pasando Q_2 a modo OFF, pero esta acción dura un tiempo t_1 , ya una vez que se carga C_1 por medio de R_1 el transistor Q_2 entra nuevamente en saturación (ON) y Q_1 pasa al estado estable inicial de corte (OFF). Esto se mantendrá hasta que se pulse nuevamente P y se repita el ciclo.

Circuito Biestable

Es un circuito capaz de cambiar de un estado al otro, pero a diferencia del anterior, este circuito necesita forzosamente de un pulso externo para cambiar sus estados, no puede hacerlo automáticamente, y puede mantenerse en un solo estado indefinidamente siempre y cuando no reciba un pulso externo. Un buen ejemplo de esto es un Flip Flop (el más sencillo, el de tipo "Set Reset"), este circuito necesita un pulso en cada una de sus entradas para poder cambiar entre estados.

Circuito Integrado LM555

El 555 debe su nombre a tres resistencias internas que están colocadas como divisores de tensión, cada una de $5k\Omega$, y que permiten comparar tensiones a través de las entradas Trigger y Threshold. Ya que las resistencias son iguales la tensión de alimentación V_{CC} queda dividida por dos tercios de su valor en el circuito comparador de la entrada Threshold y un tercio de su valor en el circuito comparador de la entrada Trigger.

El 555 físicamente es un componente de ocho terminales, internamente consta de dos amplificadores para comparación, un flip-flop R-S, un transistor BJT para descarga y resistencias R_a , R_b , R_c de $5k\Omega$ cada una.

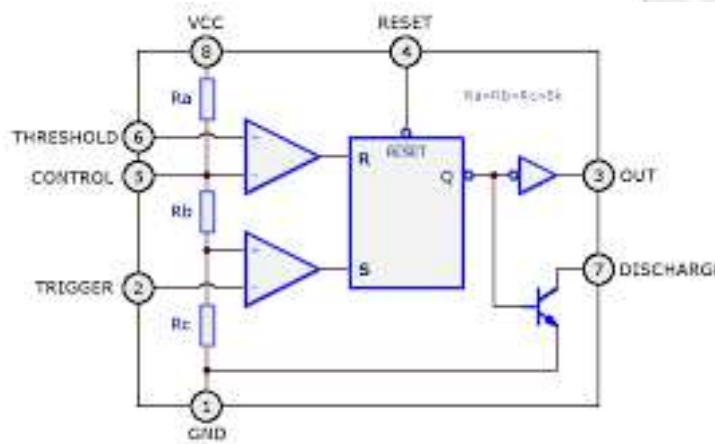


Figura 9.- Diagrama Interno del Integrado 555

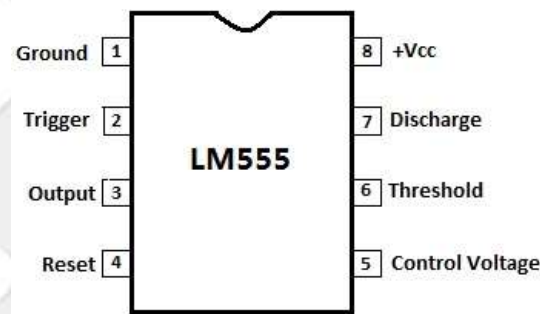


Figura 10.- Pinout del integrado 555

En la Figura 9, se muestra un diagrama funcional con los componentes internos de un temporizador 555. Los comparadores son dispositivos cuyas salidas están a nivel ALTO cuando la tensión en la entrada positiva (+) es mayor que la tensión en la entrada negativa (-), y están a nivel BAJO cuando la tensión de entrada negativa es mayor que la tensión de entrada positiva. El divisor de tensión, formado por tres resistencias de $5k\Omega$ ($R_a=R_b=R_c=5k\Omega$), proporciona un nivel de disparo (trigger) de $1/3V_{CC}$ y un nivel umbral (threshold) de $2/3V_{CC}$. La entrada de la tensión de control (pin 5) se puede emplear para ajustar externamente los niveles de disparo y umbral a otros valores en caso necesario.

Cuando la entrada de disparo, normalmente a nivel ALTO, desciende momentáneamente por debajo de $\frac{1}{3} V_{CC}$, la salida del comparador conmuta de nivel BAJO a nivel ALTO y pone en estado SET al latch S-R, haciendo que la salida (pin 3) pase a nivel ALTO y bloqueando (corte) el transistor BJT de descarga. La salida permanecerá a nivel ALTO hasta que la tensión umbral, normalmente a nivel BAJO sobrepase $\frac{2}{3}$ de V_{CC} y haga que la salida del comparador conmute de nivel BAJO a nivel ALTO. Esto hace que el latch pase a estado RESET, con lo que la salida se pone de nuevo a nivel BAJO, de manera que el transistor BJT de descarga se activa (saturado). La entrada de puesta a cero (RESET) externa se puede utilizar para poner el latch a cero, independientemente del circuito umbral. Las entradas de disparo y umbral (pines 2 y 6) se controlan mediante componentes externos, para establecer el modo de funcionamiento como monoestable o aestable.

Temporizador LM555 en operación Aestable

Ya hemos analizado el funcionamiento de un circuito Aestable, el cual consta de dos estados, sin ningún tipo de intervención externa al circuito. Debido a las características del integrado LM555, podemos mediante componentes externos (resistencias y capacitores) construir un circuito Aestable. Veamos el siguiente diagrama de conexión de un integrado LM555:

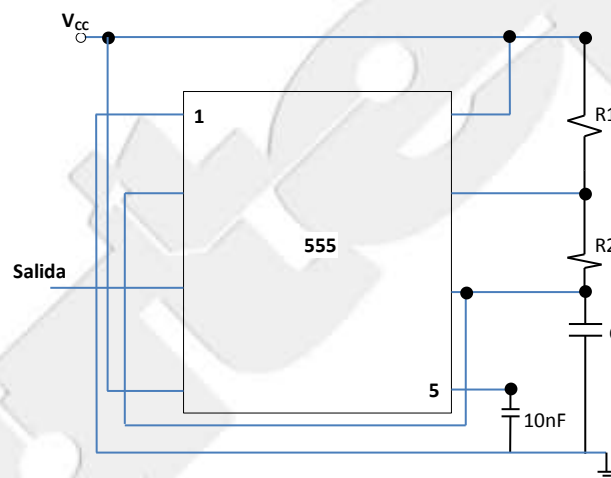


Figura 11.- Temporizador LM555 como Circuito Aestable

A continuación pasaremos a describir brevemente el funcionamiento de dicho circuito. Al estar configurado para operar como Aestable sabemos que existirán dos estados de funcionamiento, estos estados serán en la salida del pin 3 un valor alto (1) o un valor bajo (0).

Una vez energizado el circuito la salida por el pin 3 es bajo voltaje o cero lógico, el capacitor C comienza a cargarse por medio de la resistencias R_1 y R_2 , el tiempo de carga (o descarga) viene determinado por la relación RC, en el momento que el capacitor alcanza un voltaje equivalente a un tercio de V_{CC} ($V_c \leq \frac{1}{3} V_{CC}$), el pin 2 del integrado (Trigger) es disparado, esto cambia internamente el estado del flip-flop (SET), y pasa de estar en 0 a estar en 1, la salida del pin 3 cambia a estado alto o uno lógico.

Nótese que el pin 6 que es el umbral recibe ese mismo voltaje sin embargo este no es suficiente para causar ningún cambio. Hasta este punto la salida por el pin 3 cambio de 0 a 1, pero eso no detiene la carga del capacitor C, debido a que este sigue cargándose, el transistor BJT que funciona como descarga aún está abierto (modo corte), así el voltaje en C continuara aumentando, hasta el punto en el cual es equivalente a dos tercios de V_{CC} ($V_c \geq \frac{2}{3} V_{CC}$), en este momento ese voltaje activa la entrada umbral (Threshold), esto cambio el estado del flip-flop interno (RESET) colocando ahora un cero en la salida del pin 3, que era el estado inicial, en este punto el transistor BJT interno se activa (saturado) por lo que el capacitor queda conectado a tierra, y comienza a descargarse por medio de la resistencia R_2 esta descarga dura un tiempo determinado por la constante RC.

Ahora bien, nótese que el capacitor estaba a un voltaje de dos tercios de V_{CC} y comienza a descargarse, el voltaje va disminuyendo, pero nunca llega a cero voltios, debido a que en el momento en que tiene un voltaje equivalente a un tercio de V_{CC} , se activara el disparo (Trigger), y se comenzara nuevamente el ciclo, y así el circuito está en dos estados de forma permanente.

Ahora estudiemos el comportamiento de tiempo, lo cual nos indica cuanto tiempo permanece la salida en bajo voltaje (0) y alto voltaje (1).

Para el LM555 operando como Aestable tenemos un tiempo t_1 que es el tiempo para salida cero (0), este tiempo se determina por medio de la ecuación:

$$t_1 = 0,693(R_1 + R_2)C_{(seg)}$$

Se puede ver que el tiempo está sujeto a los valores de R_1 , R_2 , y C, lo cual es importante al momento de diseñar cual tiempo es el necesario que necesitamos para tener la salida en cero.

Como ya analizamos, existe un momento en el cual el estado cambia de cero a uno, y permanece en uno durante un tiempo, este tiempo t_2 lo determinamos con la siguiente ecuación:

$$t_2 = 0,693R_2C_{(seg)}$$

Este tiempo solo está controlado por los valores de R_2 y C, la resistencia R_1 , queda fuera debido al transistor BJT de descarga conectado a tierra dentro del integrado.

Ahora si conocemos el tiempo que el circuito está en salida cero y salida uno, podemos calcular el periodo que tiene la señal cuadrada que se genera (Oscilador), y teniendo el periodo podemos calcular la frecuencia, veamos las expresiones para esto:

$$\text{Periodo: } T = t_1 + t_2_{(seg)}$$

$$\text{Frecuencia: } F = 1/T = \frac{1}{t_1+t_2} \text{ (Hertz)}$$

Temporizador LM555 en operación Monoestable

El circuito Monoestable estudia en una sección anterior, es un circuito que tiene un estado estable, fijo, que no cambia, hasta que externamente se introduce o se obliga un cambio, esto cambia momentáneamente el estado, pero transcurrido un tiempo t , se vuelve al estado estable. Haremos uso del LM555 para construir un circuito Monoestable haciendo uso de elementos pasivos comunes.

El siguiente diagrama muestra la conexión de un LM555 en operación Monoestable, nótese que tenemos un pulsador P que nos servirá para forzar un cambio momentáneo del estado del circuito, adicionalmente en comparación con un circuito LM555 como Aestable, acá solo introducimos una resistencia externa y un capacitor.

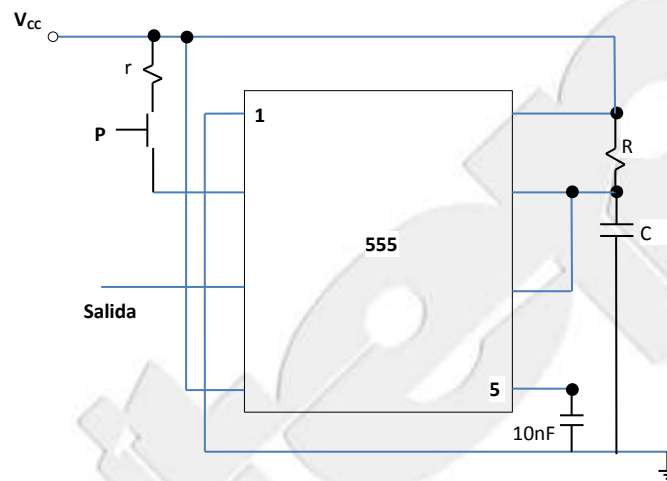


Figura 12.- Temporizador LM555 como Circuito Monoestable

Continuemos con la descripción breve del funcionamiento del circuito, inicialmente al energizar el circuito el estado de la salida por el pin 3 es cero voltios o bajo nivel, a través de R el capacitor C se va cargando, cuando la carga del capacitor aumenta y supera el voltaje de dos tercios de V_{cc} ($V_c \geq \frac{2}{3} V_{cc}$) la entrada por el pin 6 (Threshold) mantiene al flip-flop interno en RESET y su salida sigue estando en cero voltios o bajo nivel, es decir, estamos en un estado fijo o estable.

Ahora activemos el pulsador, el cual está conectado al pin 2 (Trigger) de disparo, obsérvese que el pulsador está en serie con una resistencia r, esta resistencia permite que el voltaje que entra al pin 2 sea igual o cercano a un tercio de V_{cc} , hay textos donde esa resistencia no se coloca y el pulsador introduce directamente el voltaje V_{cc} al pin 2.

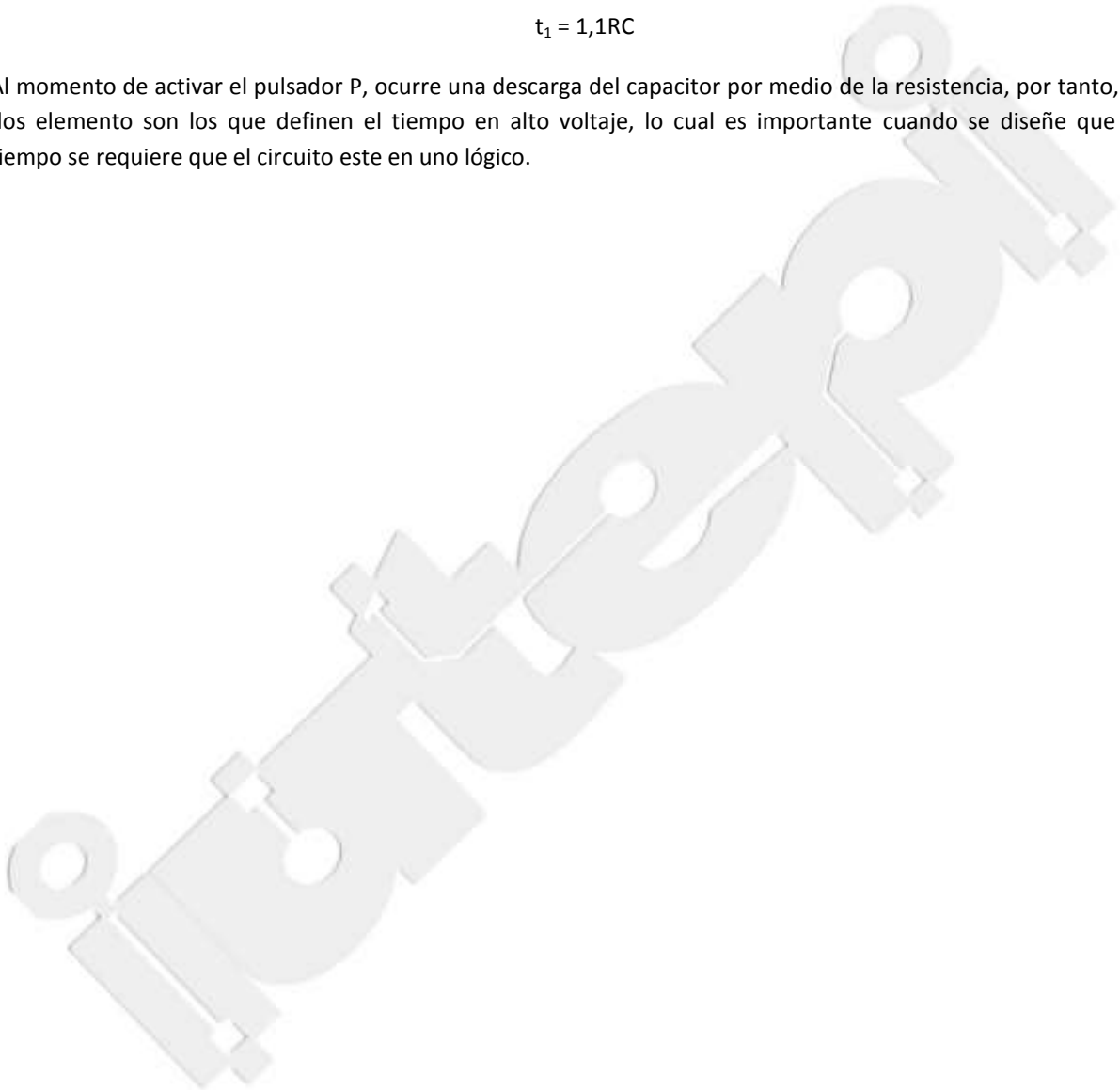
Bien, una vez activado el pulsador, se introduce por el pin 2 un voltaje, ese voltaje internamente cambia el estado del flip-flop (SET), colocando la salida por el pin 3 en alto voltaje, esto hace que el transistor BJT se abra (corte), permitiendo la descarga del capacitor C por la resistencia R, esta descarga se mantendrá hasta que el voltaje en C sea equivalente a dos tercios de V_{cc} , esto colocara en el pin 6 una entrada alto voltaje, colocando el flip-flop en RESET o salida cero, el transistor BJT se cierra, el capacitor se carga nuevamente, y en este punto se vuelve al estado fijo o estable del inicio.

Ahora estudiemos al igual que en el circuito Aestable, la variable correspondiente al tiempo. Debido a la carga y descarga del capacitor C, tendremos un único tiempo de interés, y este es el tiempo que dura la salida en alto voltaje o uno lógico, el tiempo que tarde el dispositivo con salida cero no es de interés, puesto que ese es su estado estable, siempre en cero.

Bien, el tiempo que la salida está en uno o alto voltaje viene dado por la ecuación:

$$t_1 = 1,1RC$$

Al momento de activar el pulsador P, ocurre una descarga del capacitor por medio de la resistencia, por tanto, estos dos elementos son los que definen el tiempo en alto voltaje, lo cual es importante cuando se diseña que tanto tiempo se requiere que el circuito este en uno lógico.



FLIP FLOP'S

El FLIP-FLOP cuyo significado en inglés es bistable, es decir, dos estados, es un dispositivo que intercambia su salida o estado, de un valor alto de voltaje a uno de bajo voltaje, se basa principalmente en un latch. El latch (cerrojo) es un tipo de dispositivo de almacenamiento temporal de dos estados (bistable), que se suele agrupar en una categoría diferente a la de los flip-flops. Básicamente, los latches son similares a los flip-flops, ya que son también dispositivos de dos estados que pueden permanecer en cualquiera de sus dos estados gracias a su capacidad de realimentación, lo que consiste en conectar (realimentar) cada una de las salidas a la entrada opuesta. La diferencia general entre ambos tipos de dispositivos está en el método empleado para cambiar de estado.

La diferencia resaltante de un Flip-Flop y un Latch, es el reloj de entrada externo, los latches son dispositivos que siempre cambian de estado, sin necesidad de intervención externa al circuito (switches, pulsadores), en cambio, un flip-flop es un dispositivo que cambia de un estado a otro por medio de un tren de pulsos (reloj), estos pulsos síncronos son una señal exterior que obliga al cambio de estado en el dispositivo.

Latch S-R (Set-Reset)

Un latch es un tipo de dispositivo lógico bistable o multivibrador. Un latch S-R (Set-Reset) con entrada activa a nivel ALTO se compone de dos puertas NOR interconectadas; un latch con entrada activa a nivel BAJO está formado por dos puertas NAND interconectadas. Observe que la salida de cada puerta se conecta a la entrada de la puerta opuesta. Esto origina la realimentación (feedback) regenerativa característica de todos los latches y flip-flops.



Figura 13.- Flip-Flop S-R, nivel bajo NOR, nivel alto NAND

El latch S-R es el único bistable que tiene sentido como asíncrono (sin reloj), aunque también funciona de forma síncrona, los demás bistables requieren reloj para un correcto funcionamiento.

El latch S-R tiene dos entradas:

- R (Reset): permite poner a 0 el estado del bistable, es decir, la salida Q vale 0.
- S (Set): permite poner a 1 el estado del bistable, es decir, la salida Q vale 1.

Tiene dos salidas complementarias: Q y Q-bar. Para analizar la tabla de transición basta con que nos fijemos en Q. Para explicar el funcionamiento del latch, vamos a utilizar el latch de puertas NAND.

Asumimos que las dos entradas y la salida Q están a nivel ALTO. Dado que la salida Q se realimenta a una entrada de la puerta NAND inferior y que la entrada está a nivel ALTO, la salida de la NAND inferior tiene que ser un nivel BAJO. Esta salida a nivel BAJO está acoplada de nuevo a una entrada de la NAND superior, asegurando así que su salida sea un nivel ALTO.

Cuando la salida Q está a nivel ALTO, el latch se encuentra en estado SET y permanecerá indefinidamente en él hasta que se aplique un nivel BAJO a la entrada. Si tenemos un nivel BAJO en la entrada R y un nivel ALTO en S , la salida de la puerta NAND inferior se pone forzosamente a nivel ALTO. Este nivel ALTO en la salida \bar{Q} se realimenta a una de las entradas de la puerta NAND superior y, dado que la entrada S está a nivel ALTO, la salida de la puerta NAND superior se pone a nivel BAJO. Este nivel BAJO en la salida Q se realimenta a una de las entradas de la puerta NAND inferior, asegurando que la salida \bar{Q} permanezca a nivel ALTO incluso cuando se elimine el nivel BAJO de la entrada R .

Cuando la salida Q es un nivel BAJO, el latch se encuentra en estado RESET. Ahora el latch permanece indefinidamente en este estado hasta que se aplique un nivel BAJO en la entrada S .

Se produce una condición de funcionamiento no válida en un latch $S - R$ con entradas activas a nivel BAJO, cuando se aplican simultáneamente niveles bajos a las dos entradas, S y R . Mientras que se mantengan las dos entradas a nivel BAJO, las dos salidas Q y \bar{Q} deberían forzosamente estar a nivel ALTO, lo que viola la condición de complementariedad de las salidas. Además, si se eliminan simultáneamente los niveles BAJOS, las dos salidas van a tender al nivel BAJO y, dado que siempre va a existir un cierto retraso de propagación de la señal eléctrica a través de las puertas, una de las puertas dominará en la transición a nivel BAJO. Esto hará que la salida de la puerta más lenta permanezca a nivel ALTO. Cuando se produce esta situación, no se puede predecir el siguiente estado del latch. La tabla de transición es la siguiente, en forma normal y forma compacta:

S	R	Q	\bar{Q}	Comentario
0	0	NV	NV	Estado No Valido
0	1	1	0	SET
1	0	0	1	RESET
1	1	Q	\bar{Q}	No Cambia

Tabla 1.- Tabla de verdad y transición Latch S-R nivel Bajo (NAND)

Para un latch $R - S$ nivel alto la tabla de verdad es la siguiente

S	R	Q	\bar{Q}	Comentario
0	0	Q	\bar{Q}	No cambia
0	1	1	0	RESET
1	0	0	1	SET
1	1	NV	NV	Estado No Valido

Tabla 2.- Tabla de verdad Latch S-R nivel Alto (NOR)

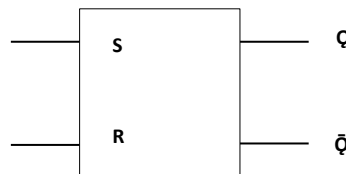


Figura 14.- Símbolo para Latch S – R (NAND)

Flip - Flop SR

El latch S – R el cual es asíncrono, puede convertirse en un flip-flop añadiendo una entrada de trenes de impulso, esta entrada es una señal de reloj que hará trabajar el latch en función del tiempo convirtiéndolo en flip-flop. De esta forma, el flip-flop S – R tiene las mismas compuertas que el latch S – R, puede trabajar el nivel bajo con compuertas NAND o altas con las compuertas NOR. A continuación mostramos el esquema de flip-flop S – R, nivel bajo (NAND):

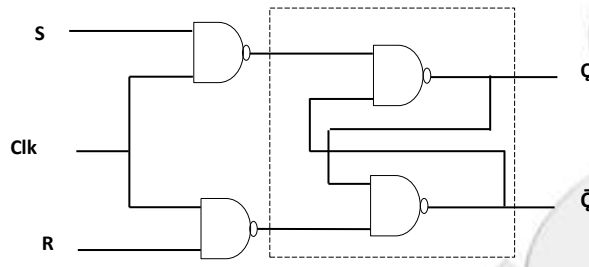


Figura 15. – Flip-Flop S-R a partir del Latch S-R

En la figura anterior podemos apreciar en líneas punteadas al latch S – R, al cual se le está añadiendo una entrada de reloj (Clk) adicional a las entradas S – R, esto convierte al latch en un FLIP-FLOP.

Flip-Flop D

Este flip-flop tiene la capacidad de transferir datos. En forma básica es un flip-flop S-R con un inversor en la entrada, reduciendo las entradas de datos a solo una (D), la cual pasa directamente a la salida, adicionalmente tiene una entrada de reloj (FF-Síncrono). El flip-flop D también se conoce como flip-flop de retardo (Delay). La figura a continuación muestra el circuito de un FF-D.

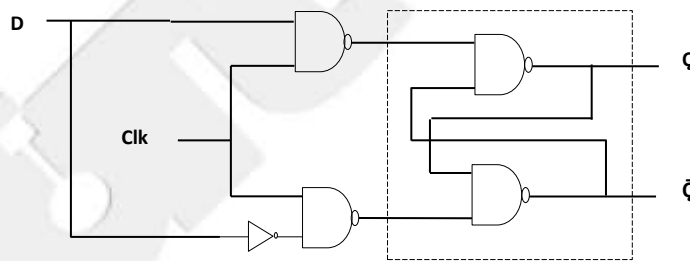


Figura 16.- Flip-Flop D – a partir del Latch S-R NAND

A continuación se muestra la tabla de verdad o transición para un flip-flop D basado en FF-SR NAND

Clk	D	Q	Q̄	Comentario
1	0	0	1	RESET
1	1	1	0	SET
0	x	Q	Q̄	Sin cambio

Tabla 3.- tabla de Verdad y transición del Flip-Flop D

Flip-Flop JK

El flip-flop J-K es uno de los más ampliamente utilizados, en algunos textos llamado flip-flop universal. Las denominaciones J y K de sus entradas no tienen ningún significado conocido, excepto el hecho de que son dos letras consecutivas del alfabeto, en algunos libros lo definen como Jump-keep.

Este flip-flop es similar al FF R-S, pero se diferencia en que la indeterminación que se presenta cuando las dos entradas son 1, no existe. La entrada J es la equivalente a la entrada S de un flip-flop R-S y la entrada K, al equivalente a la entrada R. En este caso, para la combinación J = 1 y K = 1; el estado cambia de valor, es decir, si tenía el valor 0 pasa a valor 1 y viceversa, a este modo de funcionamiento se le denomina modo de basculación.

A continuación se muestra el circuito de un FF-JK con base a un FF-SR de nivel bajo (NAND)

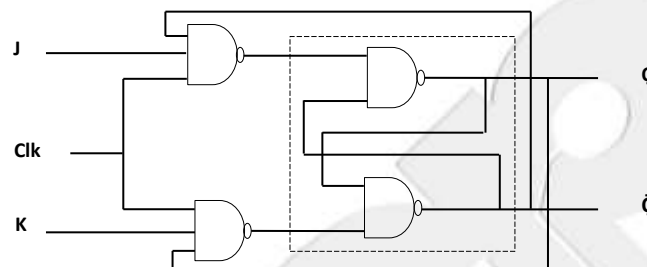


Figura 17.- Flip-Flop J-K a partir del Latch S-R NAND

La tabla de verdad o de transición del FF-JK se muestra a continuación:

Clk	J	K	Q	Q̄	Comentarios
1	0	0	Q	Q̄	Sin Cambio
1	0	1	0	1	RESET
1	1	0	1	0	SET
1	1	1	Q̄	Q	Bascula / Toggle

Tabla 4.- Tabla de verdad y transición del Flip-Flop J-K

FLIP-FLOP T

El flip-flop T es un biestable teórico, de poco a ningún uso práctico, esencialmente es un diseño en el cual se tiene la misma entrada T al flip-flop base S-R, sin embargo esta misma entrada se logra por medio de la unión de los terminales de un flip-flop J-K, así que, un flip-flop T es un flip-flop J-K con sus entradas en cortocircuito. El comportamiento y tabla de transición obedecen y son iguales a la del flip-flop J-k.

Aplicaciones de los Flip-Flop

En esta sección trataremos tres aplicaciones en las cuales se hace el uso de los biestables o flip-flop, brevemente describiremos el uso de flip-flop como divisor de frecuencias, y profundizaremos un poco más en la aplicación de los flip-flop como contadores y registros.

Divisor de frecuencias

Otra de las aplicaciones de un flip-flop es la división (reducción) de frecuencia de una señal periódica. Cuando se aplica un tren de impulsos a la entrada de reloj de un flip-flop J-K conectado en modo de basculación ($J = K = 1$), la salida Q es una señal cuadrada que tiene una frecuencia igual a la mitad de la que tiene la señal de reloj. Por tanto, se puede utilizar un único flip-flop como un divisor por 2, como muestra la figura 18, como puede verse, el flip-flop cambia de estado en cada flanco de disparo del impulso de reloj (flancos positivos en este caso). Esto da lugar a una salida que cambia a la mitad de la señal de reloj.

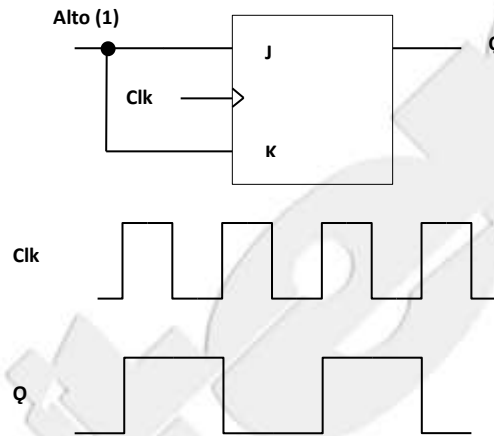


Figura 18.- Flip-Flop JK como divisor de frecuencias

Se pueden conseguir divisiones sucesivas de la frecuencia del reloj conectando la salida de un flip-flop a la entrada de reloj de un segundo flip-flop. El segundo flip-flop divide la frecuencia de la salida Q_1 del primer flip-flop por 2. La salida Q_2 del segundo flip-flop es, por tanto, un cuarto de la frecuencia de la señal de reloj original. Si se conectan varios flip-flop de esta manera, se puede conseguir una división de frecuencias de 2^n , donde n es el número de flip-flop. Por ejemplo, tres flip-flop dividen la frecuencia de reloj por $2^3 = 8$; cuatro flip-flop dividen la frecuencia de reloj por $2^4 = 16$, y así sucesivamente.

Autoevaluación

Latch y Flip-Flop

3. Si un latch S-R tiene un 1 en la entrada S y un 0 en la entrada R y a continuación la entrada S pasa a 0, el latch estará en

- (a) Estado SET (b) Estado RESET (c) Condición no válida (d) Borrado

4. El estado no válido de un latch S-R se produce cuando
- (a) $S = 1, R = 0$ (b) $S = 0, R = 1$ (c) $S = 1, R = 1$ (d) $S = 0, R = 0$
5. En un latch D con entrada de habilitación, la salida Q siempre es igual a la entrada D
- (a) antes del impulso de habilitación
 - (b) durante el impulso de habilitación
 - (c) inmediatamente después del impulso de habilitación
 - (d) respuestas (b) y (c)
6. Al igual que el latch, el flip-flop pertenece a una categoría de circuitos lógicos conocidos como:
- (a) multivibradores monoestables
 - (b) multivibradores biestables
 - (c) multivibradores aestables
 - (d) monoestables
7. El propósito de la entrada de reloj en un flip-flop es:
- (a) borrar el dispositivo
 - (b) activar (SET) el dispositivo
 - (c) obligar siempre a la salida a cambiar de estado
 - (d) obligar a la salida a asumir un estado dependiente de las entradas de control (S-R, J-K o D)
9. En un flip-flop D disparado por flanco,
- (a) un cambio en el estado del flip-flop puede producirse sólo en un flanco del impulso de reloj.
 - (b) el estado al que pasa el flip-flop depende de la entrada D
 - (c) la salida sigue a la entrada en cada impulso de reloj
 - (d) todas las respuestas
9. Una característica que diferencia al flip-flop J-K del flip-flop S-R es
- (a) La condición de basculación (b) la entrada de inicialización (c) El tipo de reloj (d) la entrada de borrado

10. Un flip-flop está en la condición de basculación cuando

- (a) $J = 1, K = 0$ (b) $J = 1, K = 1$ (c) $J = 0, K = 0$ (d) $J = 0, K = 1$

11. Un flip-flop J-K con $J = 1$ y $K = 1$ tiene una entrada de reloj de 10 kHz. La salida Q es:

- (a) constantemente un nivel ALTO (b) constantemente un nivel BAJO (c) una onda cuadrada de 10 kHz (d) una onda cuadrada de 5 kHz

12. Un monoestable es un tipo de:

- (a) multivibrador monoestable
(b) multivibrador aestado
(c) temporizador
(d) las respuestas (a) y (c)
(e) las respuestas (b) y (c)

13. La anchura del impulso de salida de un monoestable no disparable depende de:

- (a) los intervalos de disparo
(b) la tensión de alimentación
(c) una resistencia y un condensador
(d) la tensión umbral

14. Un multivibrador aestado:

- (a) requiere una entrada de disparo periódica
(b) no tiene ningún estado estable
(c) es un oscilador
(d) produce un impulso de salida periódico
(e) las respuestas (a), (b), (c) y (d)
(f) las respuestas (b), (c) y (d)

Contadores y Tipos

La función de contar es muy importante en los sistemas digitales. Existen muchos tipos de contadores digitales, pero su objetivo básico es contar sucesos representados por cambios de nivel o impulsos, o generar una secuencia de códigos particular. Para contar, el contador debe recordar el número actual, con el fin de poder pasar correctamente al siguiente valor de la secuencia. Por tanto la capacidad de almacenamiento es una característica importante en todos los contadores, por lo que generalmente se utilizan flip-flops para su implementación.

Los contadores producen un dato binario que va cambiando a cada flanco de reloj, de una secuencia prefijada. La secuencia suele ser la binaria ascendente o descendente, pero puede ser también BCD. Los contadores se llaman síncronos si todos los bits del dato producido cambian al mismo tiempo. Si no ocurre así, se llaman asíncronos.

Dado que el estado del contador debe cambiar cuando llega un flanco de la señal de entrada, se utilizan Flip-Flop J-K para construir los contadores, conectando la línea con los impulsos a contar a la entrada de reloj.

Tipos de contadores

Contador es asíncrono: Cuando la salida del biestable es la entrada de reloj del biestable siguiente. Estos contadores llevan una secuencia (ascendente o descendente) que se repite indefinidamente.

Contador es síncrono: Cuando la señal de reloj se conecta a la entrada de reloj de cada uno de los biestables. Se utiliza cuando los estados por los que pasa (secuencia) no son correlativos.

Características de algunos contadores

Dependiendo de las necesidades del circuito, la forma de contar puede ser diferente, describiremos estos tipos de forma de contar de la siguiente manera:

1. Atendiendo al código que cuentan
 - Binario (natural)
 - BCD
 - En anillo
 - En Gray
 - Johnson
2. Atendiendo al sentido de conteo
 - Contador hacia arriba (ascendentes)
 - Contador hacia abajo (descendentes)
 - Contador en ambos sentidos, no simultáneos
3. Atendiendo a la posibilidad de preselección
 - Contador con carga en paralelo
 - Contador con puesta a cero inicial solamente
4. Atendiendo a la forma de propagarse la señal de reloj internamente
 - Contador asíncrono (contadores con propagación)
 - Contador síncrono con acarreo serie
 - Contador síncrono con acarreo paralelo

Contador Asíncrono

Están basados en flip-flop de tipo JK con entradas unidas (Flip-Flop T), encadenados en cascada. Cada vez que en la entrada de un FF-JK aparece un flanco Ascendente o descendente el flip-flop cambia de estado.

Contador Asíncrono Binario de dos Bits

La siguiente figura presenta un contador de 2 bits conectado para que funcione en modo asíncrono. Observe que el reloj (CLK) está conectado únicamente a la entrada de reloj (C) del primer flip-flop, FF0. El segundo flip-flop, FF1, se dispara mediante la salida \bar{Q}_0 de FF0. FF0 cambia de estado durante el flanco positivo de cada impulso de reloj, pero FF1 sólo cambia cuando es disparado por una transición positiva de la salida \bar{Q}_0 de FF0. Debido al retardo de propagación inherente al paso de las señales por un flip-flop, las transiciones de los impulsos de entrada del reloj y de la salida \bar{Q}_0 de FF0 no pueden ocurrir nunca al mismo tiempo. Por tanto, los dos flip-flops nunca se disparan de forma simultánea, por lo que el modo de funcionamiento de este contador es asíncrono.

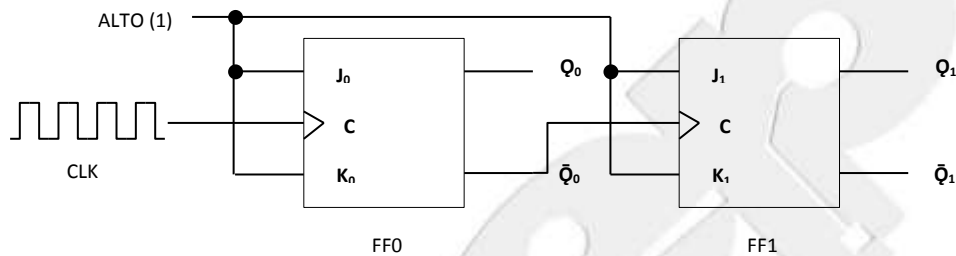


Figura 19.- Contador Asíncrono binario de 2 bits

Vamos a examinar el funcionamiento básico del contador asíncrono de la figura 19, aplicando cuatro impulsos de reloj a FF0 y observando la salida Q de cada flip-flop.

Ambos flip-flop están conectados en modo de basculación ($J = 1$, $K = 1$) y se presupone que, inicialmente, están en estado RESET (Q a nivel BAJO). El flanco positivo de CLK1 (impulso de reloj 1) hace que la salida Q_0 de FF0 pase a nivel ALTO.

Al mismo tiempo, la salida pasa a nivel BAJO, pero esto no afecta a FF1, ya que tiene que ser una transición positiva la que le dispare. Después del flanco anterior de CLK1, $Q_0 = 1$ y $Q_1 = 0$. El flanco positivo de CLK2 hace que Q_0 pase a nivel BAJO.

La salida se pone a nivel ALTO y dispara FF1, haciendo que Q_1 pase a nivel ALTO. Tras el flanco anterior de CLK2, $Q_0 = 0$ y $Q_1 = 1$. El flanco positivo de CLK3 hace que Q_0 pase a nivel ALTO de nuevo. La salida se pone a nivel BAJO y no afecta al estado de FF1.

Por tanto, tras el flanco anterior de CLK3, $Q_0 = 1$ y $Q_1 = 1$. El flanco positivo de CLK4 hace que Q_0 pase a nivel BAJO, mientras que se pone a nivel ALTO y dispara FF1, haciendo que Q_1 pase a nivel BAJO. Después del flanco anterior de CLK4, $Q_0 = 0$ y $Q_1 = 0$. El contador ha vuelto a su estado original (los dos flip-flops se encuentran en estado RESET).

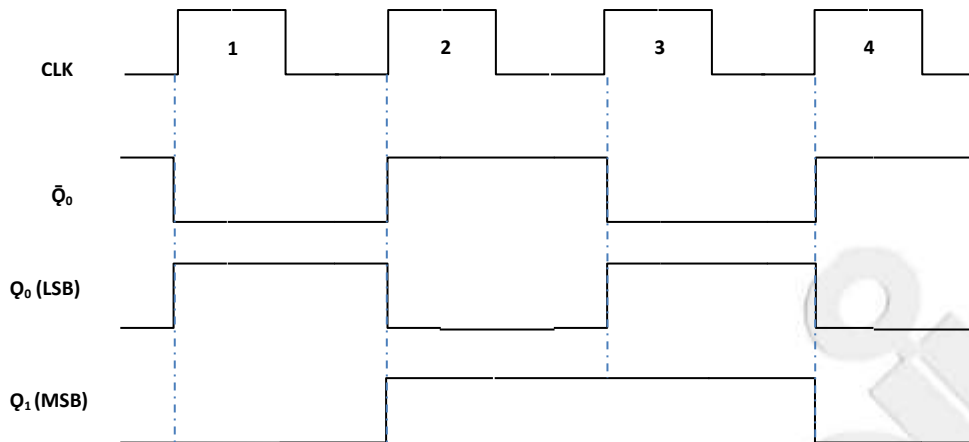


Figura 20.- Diagrama de tiempos y salidas del contador Asíncrono Binario

En el diagrama de tiempos, las formas de onda de las salidas Q_0 y Q_1 se muestran en función de los impulsos de reloj, como ilustra la figura 20. Para simplificar, las transiciones de Q_0 , Q_1 y los impulsos de reloj se muestran como simultáneos, aunque se trate de un contador asíncrono. Existe, por supuesto, un ligero retardo entre las transiciones de CLK y Q_0 y las transiciones de \bar{Q}_0 y Q_1 .

Observe en la figura 20, que el contador de 2 bits dispone de cuatro estados diferentes, como cabría esperar de dos flip-flop ($2^2 = 4$). Además, téngase en cuenta que si Q_0 representa el bit menos significativo (LSB) y Q_1 representa el bit más significativo (MSB), la secuencia de los estados del contador representa una secuencia de números binarios, como se muestra en la tabla a continuación.

Impulso de Reloj	Q_1	Q_0
inicialmente	0	0
1	0	1
2	1	0
3	1	1
4 (nuevo ciclo)	0	0

Tabla 5.- Tabla de transición del contador binario de la figura 19.

Puesto que pasa por una secuencia binaria, el contador de la figura 19, es un contador binario. En realidad, cuenta el número de impulsos de reloj hasta el tercero y, en el cuarto impulso, inicia un nuevo ciclo a partir de su estado original ($Q_0 = 0$, $Q_1 = 0$). El inicio de un nuevo ciclo (recycle, término que se aplica comúnmente al funcionamiento de los contadores) se refiere a la transición del contador de su estado final a su estado original.

Contador Síncrono

Al igual que los contadores asíncronos, estos se basan en flip-flop de tipo JK con entradas unidas (Flip-Flop T), encadenados en cascada. La señal de tren de impulsos (reloj) está presente en cada Flip-Flop, es decir, los cambios de estado ocurren simultáneamente.

Contador Síncrono Binario de dos bits

La figura 21, muestra un contador binario síncrono de 2 bits. Observe que debe utilizarse una disposición distinta a la del contador asíncrono para las entradas J1 y K1 de FF1, con el fin de poder conseguir una secuencia binaria.

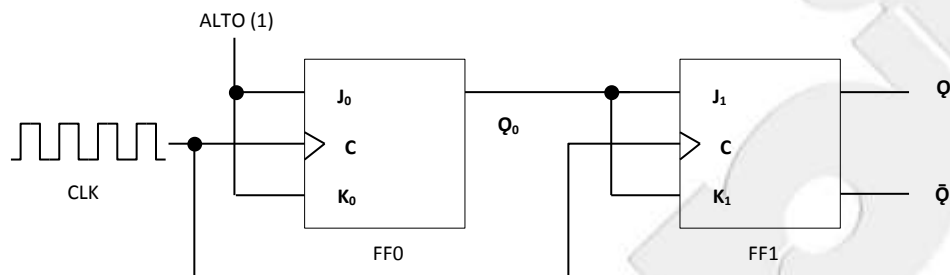


Figura 21.- Contador Síncrono Binario de 2 bits

El funcionamiento de este contador síncrono es el siguiente: en primer lugar, se supone que el contador se encuentra inicialmente en el estado binario 0; es decir, los dos flip-flops se encuentran en estado RESET.

Cuando se aplica el flanco positivo del primer impulso de reloj, FF0 bascula, por lo que Q_0 se pone a nivel ALTO. ¿Qué le ocurre a FF1 en el flanco positivo de CLK1? Para averiguarlo, vamos a fijarnos en las condiciones de entrada de FF1.

Las entradas J1 y K1 están ambas a nivel BAJO, ya que están conectadas a Q_0 , y ésta todavía no se ha puesto a nivel ALTO. Recuerde que existe un retardo de propagación desde el flanco de disparo del impulso de reloj hasta que, realmente, se realiza la transición en la salida Q.

Por tanto, $J = 0$ y $K = 0$ cuando se aplica el flanco anterior del primer impulso de reloj. Ésta es una condición de no cambio y, por tanto, FF1 no cambia de estado. Después de CLK1, $Q_0 = 1$ y $Q_1 = 0$ (que corresponde al estado binario 1).

Cuando se produce el flanco anterior de CLK2, FF0 bascula y Q_0 se pone a nivel BAJO. Puesto que FF1 tiene un nivel ALTO ($Q_0 = 1$) en sus entradas J1 y K1 durante el flanco de disparo del impulso de reloj, el flip-flop bascula y Q_1 pasa a nivel ALTO. Por lo que, después de CLK2, $Q_0 = 0$ y $Q_1 = 1$ (que corresponde al estado binario 2).

Cuando se produce el flanco anterior de CLK3, FF0 bascula de nuevo al estado SET ($Q_0 = 1$) y FF1 permanece en estado SET ($Q_1 = 1$), ya que sus entradas J1 y K1 están ambas a nivel BAJO ($Q_0 = 0$). Tras este flanco de disparo, $Q_0 = 1$ y $Q_1 = 1$ (que corresponde al estado binario 3).

Finalmente, durante el flanco anterior de CLK4, Q_0 y Q_1 se ponen a nivel BAJO, dado que ambos flip-flop están en modo de basculación debido al valor presente en sus entradas J y K. El contador acaba de iniciar un nuevo ciclo a partir de su estado original, 0 binario.

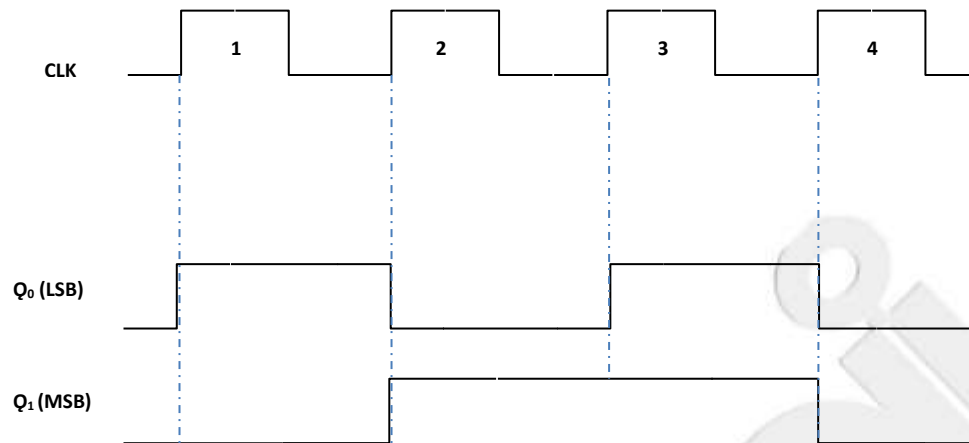


Figura 22.- Diagrama de tiempos y salidas del contador Síncrono Binario

El diagrama de tiempos completo del contador se muestra en la figura 22, observe que todas las transiciones de las señales son coincidentes; es decir, no se indican los retardos de propagación.

Aunque los retardos son un factor importante en el funcionamiento de un contador síncrono, se suelen omitir para simplificar los diagramas de tiempos generales.

Si no se muestran los pequeños retardos y las diferencias de temporización, se puede conseguir relacionar mejor las señales resultantes de un circuito lógico.

Sin embargo, en circuitos digitales de alta velocidad, estos pequeños retardos son una consideración importante en el diseño y la localización de averías.

Autoevaluación

Contadores

15. Los contadores asíncronos se conocen como:

- (a) contadores con propagación (b) contadores de reloj múltiple
- (c) contadores de décadas (d) contadores de módulo

16. Un contador asíncrono se diferencia de un contador síncrono en:

- (a) el número de estados de su secuencia
- (b) el método de sincronización con la señal de reloj
- (c) el tipo de flip-flops utilizados
- (d) el valor del módulo

17. El módulo de un contador es:
- (a) el número de flip-flops
 - (b) el número real de estados en su secuencia
 - (c) el número de veces que inicia un nuevo ciclo por segundo
 - (d) el máximo número posible de estados
18. Un contador binario de 3 bits tiene un módulo máximo de:
- (a) 3 (b) 6 (c) 8 (d) 16
19. Un contador binario de 4 bits tiene un módulo máximo de:
- (a) 16 (b) 32 (c) 8 (d) 4
20. Un contador de módulo 12 tiene:
- (a) 12 flip-flops (b) 3 flip-flops
 - (c) 4 flip-flops (d) temporización síncrona
21. ¿Cuál de los siguientes contadores es un ejemplo de un contador con un módulo truncado?
- (a) módulo 8 (b) módulo 14
 - (c) módulo 16 (d) módulo 32
22. Un contador asíncrono de 4 bits está formado por flip-flops que tienen un retardo de propagación de la señal de reloj a Q de 12 ns. ¿Cuánto tiempo tarda el contador en iniciar un nuevo ciclo desde 1111 a 0000?
23. Un contador BCD es un ejemplo de
- (a) contador de módulo completo
 - (b) un contador de décadas
 - (c) un contador de módulo truncado
 - (d) las respuestas (b) y (c)
24. En un contador BCD 8421, ¿cuál de los siguientes estados es un estado no válido?
- (a) 1100 (b) 0010 (c) 0101 (d) 1000

25. Tres contadores de módulo 10 en cascada tienen un módulo global de:

- (a) 30 (b) 100 (c) 1000 (d) 10.000

26. Se aplica una frecuencia de reloj de 10 MHz a un contador en cascada formado por un contador de módulo 5, un contador de módulo 8 y dos contadores de módulo 10. La frecuencia de salida más baja posible es:

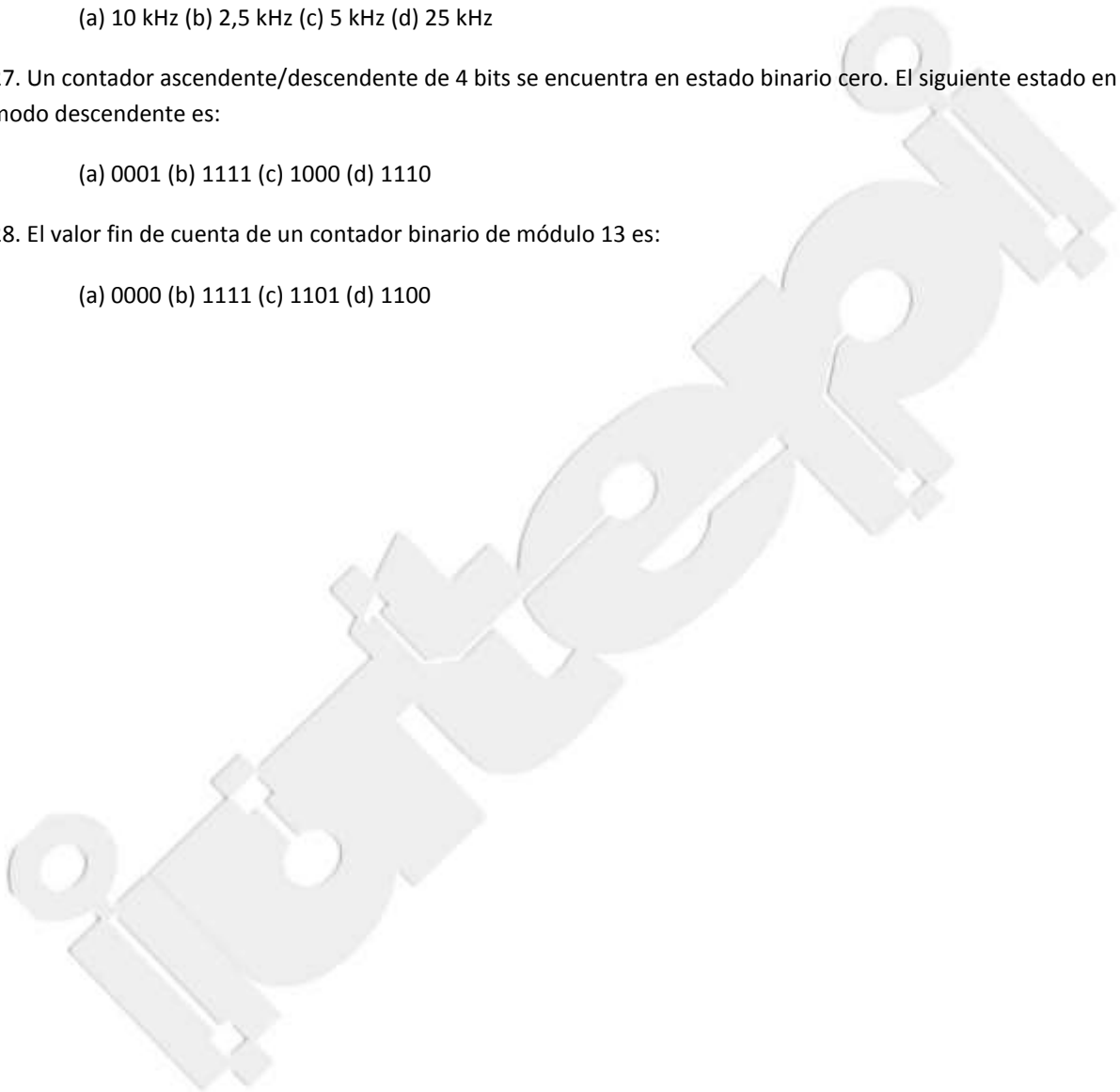
- (a) 10 kHz (b) 2,5 kHz (c) 5 kHz (d) 25 kHz

27. Un contador ascendente/descendente de 4 bits se encuentra en estado binario cero. El siguiente estado en el modo descendente es:

- (a) 0001 (b) 1111 (c) 1000 (d) 1110

28. El valor fin de cuenta de un contador binario de módulo 13 es:

- (a) 0000 (b) 1111 (c) 1101 (d) 1100



Registros

Los registros son un tipo de circuito lógico secuencial, que están íntimamente relacionados con los contadores digitales. Los registros se utilizan principalmente para almacenar datos digitales y, normalmente, no poseen una secuencia característica interna de estados como los contadores.

Registros de desplazamiento

Los registros de desplazamiento están formados por un conjunto de flip-flops, y son muy importantes en las aplicaciones que precisan almacenar y transferir datos dentro de un sistema digital. La diferencia básica entre un registro y un contador es que un registro no tiene una secuencia de estados específica, excepto en ciertas aplicaciones muy especializadas. En general, un registro se utiliza únicamente para almacenar y desplazar datos (1 y 0), que introduce en él una fuente externa y, normalmente, no posee ninguna secuencia característica interna de estados. Un registro es un circuito digital con dos funciones básicas: almacenamiento de datos y movimiento de datos. La capacidad de almacenamiento de un registro le convierte en un tipo importante de dispositivo de memoria.

La figura 23 ilustra el concepto de almacenamiento de un 1 o un 0 en un flip-flop D. Como se muestra, se aplica un 1 a la entrada de datos y un impulso de reloj que hace que se almacene el 1, pasando el flip-flop ha estado SET. Cuando se elimina el 1 de la entrada, el flip-flop permanece en dicho estado SET, quedando almacenado el 1. Como se ilustra en la figura 23, el procedimiento que se utiliza para almacenar un 0 es similar y pone en estado RESET al flip-flop.

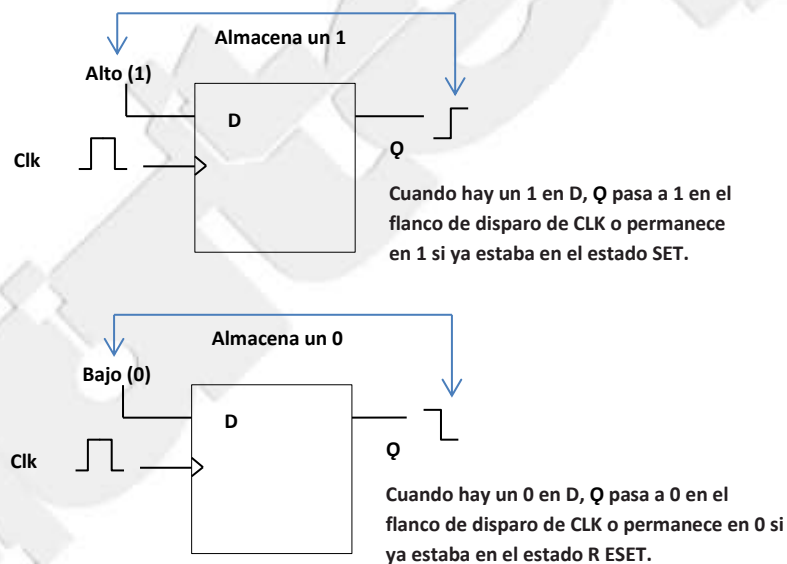


Figura 23.- Flip-Flop como elemento de almacenamiento

La capacidad de almacenamiento de un registro es el número total de bits (1 y 0) de un dato digital que puede contener. Cada etapa (flip-flop) de un registro de desplazamiento representa un bit de su capacidad de almacenamiento; por tanto, el número de etapas de un registro determina su capacidad de almacenamiento.

La capacidad de desplazamiento de un registro permite el movimiento de los datos de una etapa a otra dentro del registro, o la entrada o salida del mismo, en función de los impulsos de reloj que se apliquen.

Registro de desplazamiento Serie – Serie

Los registros de desplazamiento con entrada y salida serie aceptan datos en serie, es decir, un bit cada vez por una única línea. La información almacenada es entregada a la salida también en forma serie.

La figura 24 muestra un dispositivo de 4 bits implementado con flip-flops D. Con tres etapas, este registro puede almacenar hasta tres bits de datos.

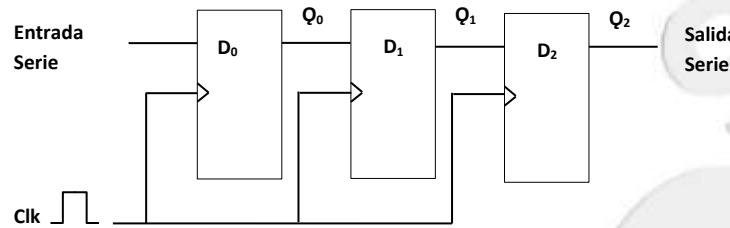


Figura 24.- Registro de desplazamiento con entrada serie y salida serie

La figura 25 ilustra la introducción en el registro de cuatro bits, 010, comenzando por el bit más a la derecha.

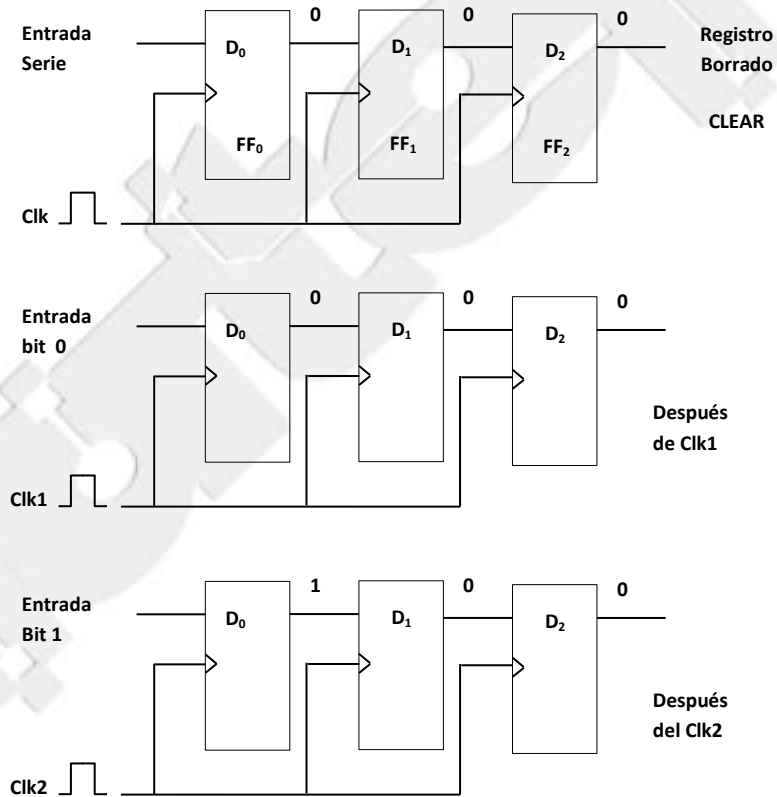


Figura 25.- Introducción en serie de 3 bits en el registro (continua)

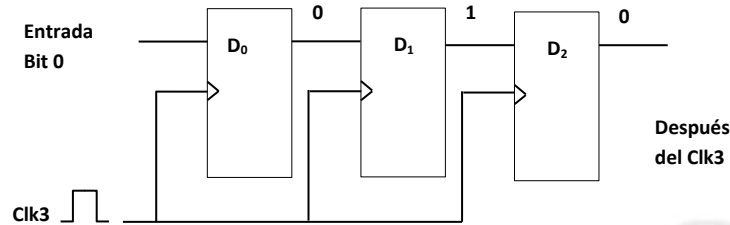


Figura 25.- (continuación)

Inicialmente, el registro se borra (CLEAR). Se aplica un 0 en la línea de entrada de datos, lo que hace $D = 0$ en el flip-flop FF0. Cuando se aplica el primer impulso de reloj, FF0 pasa al estado RESET, almacenando el 0. A continuación se aplica a la entrada de datos el segundo bit que, en este caso, es 1, lo que hace que $D = 1$ en FF0 y $D = 0$ en FF1 debido a que la entrada D de FF1 está conectada a la salida Q_0 . Cuando se produce el segundo impulso de reloj, el 1 de la entrada de datos de FF0 se desplaza, pasando este flip-flop al estado SET, y el 0 que había en FF0 se desplaza a FF1. El tercer bit, un 0, se introduce por la línea de entrada de datos y se aplica un impulso de reloj. El 0 entra en FF0, el 1 almacenado en éste se desplaza a FF1 y el 0 almacenado en FF1 se desplaza a FF2. Esto completa la introducción en serie de los tres bits en el registro de desplazamiento, donde pueden quedar almacenados el tiempo que se desee, siempre que los flip-flops estén alimentados con la tensión continua necesaria.

Si se desea extraer los datos del registro, los bits deben desplazarse en serie hasta la salida Q_2 . Después del tercer impulso de reloj CLK3, el bit más a la derecha, 0, está en la salida Q_2 . Si se aplica un cuarto impulso de reloj, CLK4, el segundo bit aparecerá en la salida Q_2 . El impulso de reloj CLK5 desplaza el tercer bit a la salida. Nótese que, mientras que los tres bits iniciales se desplazan a la salida, se pueden introducir otros bits de datos.

Comercialmente los registros de desplazamientos (SRG: Shift Register), trabajan a cuatro bits o múltiplos de 4 bits, el ejemplo anterior es con fines académicos y prácticos, para poder mostrar como es el funcionamiento del registro con cada cambio o pulso de reloj.

Registro de desplazamiento Serie - Paralelo

En este tipo de registro los bits de datos se introducen en serie (empezando por el bit situado más a la derecha), del mismo modo que se ha visto en el registro serie-serie. La diferencia está en la forma en que dichos bits se extraen del registro; en un registro con salida paralelo, se dispone de la salida de cada etapa. Una vez que los datos se han almacenado, cada bit se presenta en su respectiva línea de salida, estando disponibles todos los bits simultáneamente, en lugar de bit a bit como en el caso de la salida serie.

La figura 26 muestra un registro de desplazamiento de 4 bits con entrada serie-salida paralelo, y su símbolo lógico.

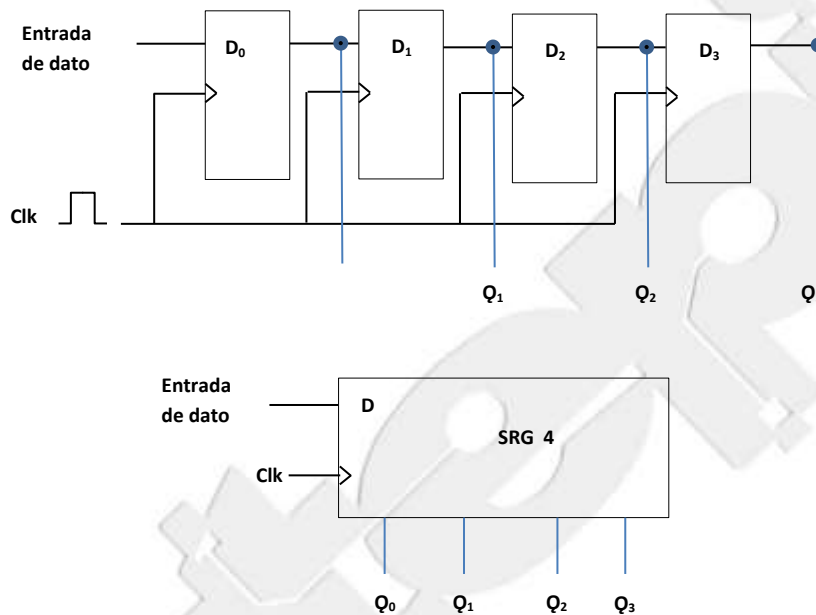


Figura 26.- Registro de desplazamiento entrada serie salida paralelo y símbolo lógico

Registro de desplazamiento Paralelo – Serie

En un registro con entradas de datos paralelo, los bits se introducen simultáneamente en sus respectivas etapas a través de líneas paralelo, en lugar de bit a bit a través una única línea como ocurre con las entradas de datos serie. La salida serie se hace del mismo modo que se ha descrito en la anterior, una vez que todos los datos están almacenados en el registro.

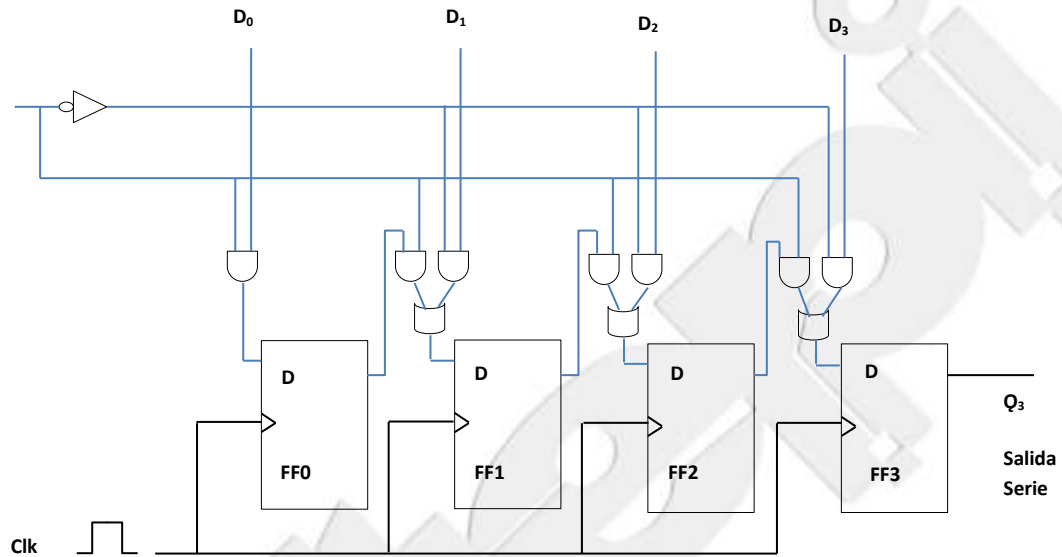


Figura 27.- Registro de desplazamiento entrada paralelo salida serie

Registro de desplazamiento Paralelo - Paralelo

Ya hemos descrito la entrada en paralelo de datos y la salida en paralelo de datos, en circuitos de desplazamiento vistos anteriormente. El registro de entrada y salida paralelo aplica ambos métodos. Inmediatamente después de introducir simultáneamente todos los bits de datos, éstos aparecen en paralelo en las salidas paralelo.

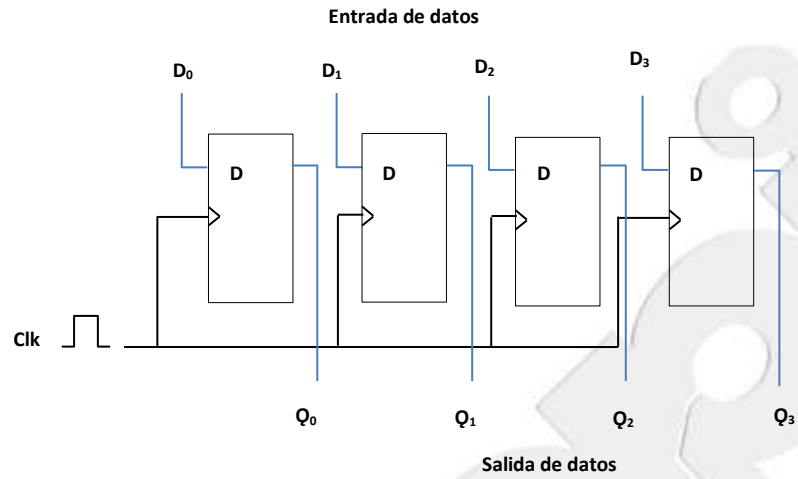


Figura 28.- Registro de desplazamiento entrada paralelo y salida paralelo

Contadores basados en registros de desplazamientos

Un contador basado en un registro de desplazamiento es básicamente un registro de desplazamiento con la salida serie realimentada a la entrada serie, de modo que se generen secuencias especiales. A menudo estos dispositivos se clasifican como contadores porque disponen de una secuencia de estados específica. En esta sección, se presentan dos de los tipos más comunes de esta clase de contadores, el contador Johnson y el contador en anillo.

Contador Johnson

En un contador Johnson, el complemento de la salida del último flip-flop se conecta a la entrada D del primer flip-flop (también se puede implementar con otros tipos de flip-flop). Esta realimentación permite generar una secuencia de estados característica.

Contador en anillo

El contador en anillo utiliza un flip-flop para cada estado de su secuencia. Tiene la ventaja de que no se requieren puertas de decodificación. En el caso de un contador en anillo de 10 bits, hay una única salida para cada dígito decimal.

Aplicaciones de los registros

Retardo de tiempo

Los registros de desplazamiento con entrada y salida serie se usan para obtener un retardo de tiempo de la entrada a la salida, que es función del número de etapas (n) del registro y de la frecuencia de reloj.

Cuando se aplica un impulso de datos a la entrada serie, éste se introduce en la primera etapa sincronizado con el flanco de disparo del impulso de reloj. El dato se desplaza de etapa en etapa con cada impulso de reloj sucesivo hasta que aparece en la salida serie n períodos de reloj más tarde.

El retardo se puede aumentar o disminuir variando la frecuencia de reloj. El retardo de tiempo también se puede incrementar conectando en cascada registros de desplazamiento, y se puede decrementar tomando sucesivamente la salida de las etapas intermedias del registro, si están disponibles.

Convertidor de datos Serie - Paralelo

La transmisión de datos serie de un sistema digital a otro se usa comúnmente para reducir el número de conductores de la línea de transmisión. Por ejemplo, se pueden enviar en serie ocho bits por un único conductor, los cuales precisarían ocho conductores para transmitirse en paralelo.

Una computadora o un sistema basado en microprocesador, normalmente, requiere que la entrada de datos se haga en paralelo, por lo que es preciso realizar una conversión serie-paralelo.

Autoevaluación

Registros

29. Una etapa de un registro de desplazamiento está formada por:

- (a) un latch
- (b) un flip-flop
- (c) un byte de almacenamiento
- (d) cuatro bits de almacenamiento

30. Para desplazar en serie un byte de datos en un registro de desplazamiento, es necesario:

- (a) un impulso de reloj
- (b) un impulso de carga
- (c) ocho impulsos de reloj
- (d) un impulso de reloj para cada 1 que contiene el dato

31. Para cargar en paralelo un byte de datos en un registro de desplazamiento con una carga síncrona, es necesario:

- (a) un impulso de reloj
- (b) un impulso de reloj para cada 1 que contiene el dato
- (c) ocho impulsos de reloj
- (d) un impulso de reloj para cada 0 que contiene el dato

32. El grupo de bits 10110101 se desplaza en serie (primer bit más a la derecha) a la salida paralelo de 8 bits de un registro de desplazamiento, el cual tiene el estado inicial 11100100. Después de dos impulsos de reloj, el contenido del registro es:

- (a) 01011110 (b) 10110101 (c) 01111001 (d) 00101101

33. Con una frecuencia de reloj de 100 kHz, ocho bits se pueden introducir en serie en un registro de desplazamiento en:

- (a) 80 μ s
- (b) 8 μ s
- (c) 80 ms
- (d) 10 μ s

34. Con una frecuencia de reloj de 1 MHz, ocho bits se pueden introducir en paralelo en un registro de desplazamiento en:

- (a) 8 μ s
- (b) en un tiempo igual al retardo de propagación de ocho flip-flops
- (c) 1 μ s
- (d) en un tiempo igual al retardo de propagación de un flip-flop

35. Un contador Johnson de módulo 10 requiere:

- (a) diez flip-flops (b) cuatro flip-flops
- (c) cinco flip-flops (d) doce flip-flops

36. Un contador en anillo de módulo 10 requiere como mínimo:

- (a) diez flip-flops (b) cinco flip-flops
- (c) cuatro flip-flops (d) doce flip-flops

37. Cuando se utiliza un registro de desplazamiento de 8 bits con entrada y salida serie, para obtener un retardo de 24 μ s, la frecuencia de reloj debe ser:

- (a) 41,67 kHz
- (b) 333 kHz
- (c) 125 kHz
- (d) 8 MHz

Circuitos Básicos de Interfaz para Sistemas Digitales

En electrónica, una interfaz es el puerto (circuito físico) a través del que se envían o reciben señales desde un sistema o subsistemas hacia otros. No existe una interfaz universal, sino que existen diferentes estándares (Interfaz USB, interfaz SCSI, etc.) que establecen especificaciones técnicas concretas (características comunes), con lo que la interconexión sólo es posible utilizando la misma interfaz en origen y destino.

Así también, una interfaz puede ser definida como un intérprete de condiciones externas al sistema, a través de transductores y otros dispositivos, que permite una comunicación con actores externos, como personas u otros sistemas, a través de un protocolo común a ambos. Una interfaz es una Conexión física y funcional entre dos aparatos o sistemas independientes.

Un dispositivo de E/S es un componente electrónico que permite la transmisión y/o recepción de información de/hacia el ordenador. Como ejemplo el ratón y el teclado son dispositivos de entrada, y el monitor y la impresora son dispositivos de salida. Los dispositivos para comunicación entre computadores son típicamente dispositivos de entrada y de salida.

Un sistema de E/S debe poder, como mínimo, direccionar los diferentes periféricos con los que puede establecer comunicación, establecer un sistema de comunicación entre el procesador y los controladores, y sincronizar los dispositivos de manera que no se produzcan inconsistencias o errores. Además, debería ser capaz de convertir los datos entre diferentes formatos, controlar el estado de los periféricos, llevar la cuenta de las transmisiones y tener un sistema de detección de errores.

Existen distintas formas de interconexión que se pueden dar entre controlador y procesador. Las más destacadas son las basadas en buffer tri-estado y en las MUX/DEMUX indicando sus ventajas/inconvenientes. Se suele usar más la alternativa basada en buffer tri-estado pues permite un mejor aprovechamiento de los dispositivos de E/S y la mejora de los mismos al dedicar mayor área de éstos en la mejora de prestaciones y no en el interconexiónado.

Buffer Tri-Estado

En electrónica digital, la lógica triestado permite puertos de salida con valor 0, 1 o alta impedancia (Hi-Z del inglés High Impedance). Es este último estado el que proporciona los buffer triestado. El estado Hi-Z pone la salida en alta impedancia, haciendo que el pin ya no tenga relevancia en el circuito. Normalmente, la intención de este estado es permitir a varios circuitos compartir el mismo bus o línea de salida. O también, permitir a un dispositivo monitorizar señales sin afectar a la señal (en convertidores analógico/digital). Tri-state es una marca registrada de National Semiconductor pero normalmente se usa para describir dispositivos de este tipo hechos por cualquier fabricante

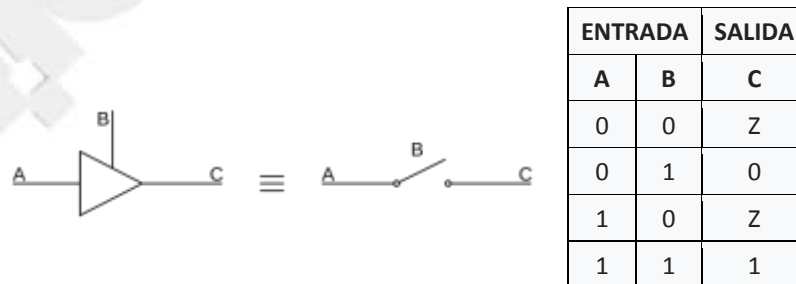


Figura 29.- Buffer Tres estados. Tabla 6.- Tabla de estados del buffer tres estados

Un buffer triestado se diseña normalmente de modo que el retardo de habilitación de salida (de Hi-Z a Alto o Bajo) sea un poco más largo que el retardo de deshabilitación de salida (de Alto o Bajo a Hi-Z).

Así, si un circuito de control activa la entrada de habilitación de salida de un dispositivo al mismo tiempo que desactiva la entrada de habilitación de un segundo dispositivo, al tener un retardo de deshabilitación de salida más corto se puede asegurar que antes de que el primer dispositivo ponga un nivel Alto o Bajo en el bus, el segundo dispositivo se encontrará en estado de alta impedancia.

Las características principales de este tipo de interconexión con buffer son:

- Facilidad en la expansión por medio de tarjetas o circuitería específica
- Permite conectar en paralelo muchos periféricos

Mux/Demux

Ya estudiados en secciones anteriores, se emplean MUX y DEMUX para seleccionar el periférico que podrá usar el bus compartido en un momento dado, impidiendo al resto de dispositivos acceder a este último. Las características principales de este tipo de interconexión son:

- Escasa posibilidad de expansión
- Mucha circuitería: Suelen dedicar gran parte del área del dispositivo en el cableado del mismo.

Memorias

La memoria es la parte de un sistema que almacena datos binarios en grandes cantidades. Las memorias semiconductoras están formadas por matrices de elementos de almacenamiento que pueden ser latches o condensadores.

Como regla general, las memorias almacenan datos en unidades que tienen de uno a ocho bits. La unidad menor de datos binarios es, como ya sabemos, el bit. En muchas aplicaciones, se tratan los datos en unidades de 8 bits, denominadas bytes o en múltiplos de unidades de 8 bits. El byte se puede dividir en dos unidades de 4 bits, que reciben el nombre de nibbles. Una unidad completa de información se denomina palabra y está formada, generalmente, por uno o más bytes. Algunas memorias almacenan datos en grupos de 9 bits; un grupo de 9 bits consta de un byte más un bit de paridad.

Matriz de memoria

Cada elemento de almacenamiento en una memoria puede almacenar un 1 o un 0 y se denomina celda. Las memorias están formadas por matrices de celdas, como se ilustra en la Figura 10.1, en la que se utilizan 64 celdas a modo de ejemplo. Cada bloque de la matriz de memoria representa una celda de almacenamiento y su situación se puede especificar mediante una fila y una columna.

La matriz de 64 celdas se puede organizar de muchas maneras en función de las unidades de datos. La figura 30 muestra una matriz de 8×8 , que se puede entender como una memoria de 64 bits o como una memoria de 8 bytes. En la figura también se muestra una matriz de 16×4 , que es una memoria de 16 nibbles y también se presenta una matriz de 64×1 que es una memoria de 64 bits.

Una memoria se identifica mediante el número de palabras que puede almacenar, multiplicado por el tamaño de la palabra. Por ejemplo, una memoria de $16k \times 8$ puede almacenar 16.384 palabras de ocho bits. La incoherencia en la expresión anterior es común en la terminología de las memorias. En realidad, el número de palabras es siempre una potencia de 2 que, en este caso, es $2^{14} = 16.384$.

Sin embargo, es una práctica común expresar cada número redondeado al millar más próximo, en este caso 16k.

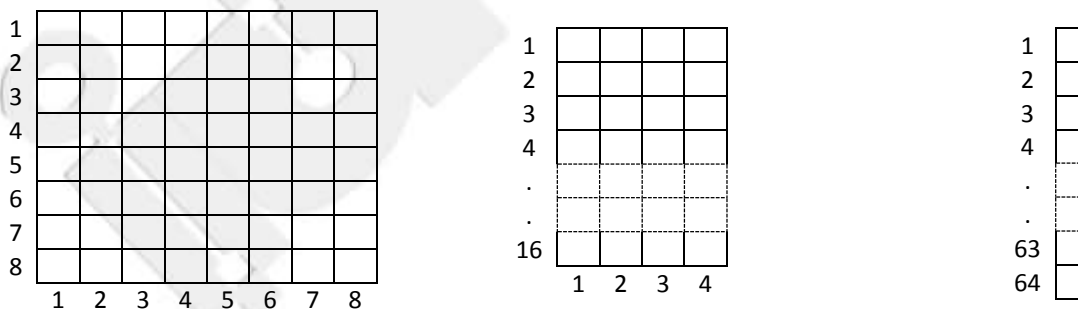


Figura 30.- Matrices de almacenamiento de 64 celdas en diferentes arreglos

Dirección y capacidad de las memorias

La posición de una unidad de datos en una matriz de memoria se denomina dirección. Por ejemplo, en la figura 31(a), la dirección de un bit en la matriz de dos dimensiones se especifica mediante la fila y columna en que está, tal como se muestra. En la figura 31(b), la dirección de un byte se especifica únicamente mediante la fila. Como puede ver, la dirección depende de cómo se organice la memoria en unidades de datos.

Las computadoras personales disponen de memorias organizadas en bytes. Esto significa que el grupo más pequeño de bits que se puede direccionar es ocho.

La capacidad de una memoria es el número total de unidades de datos que puede almacenar. Por ejemplo, en la matriz de memoria organizada en bits de la figura 31(a), la capacidad total es de 64 bits. En la matriz de memoria organizada en bytes de la figura 31(b), la capacidad es de 8 bytes, que es lo mismo que 64 bits.

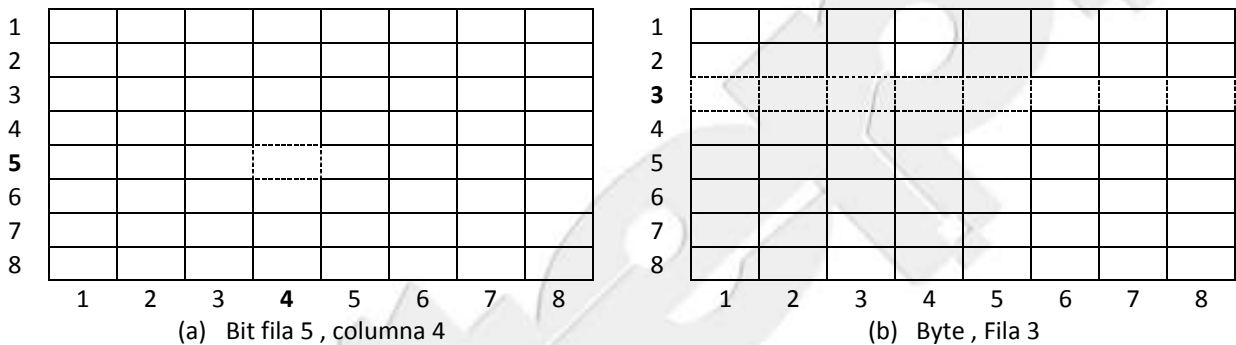


Figura 31.- Ejemplo de dirección de memoria en matriz bidimensional

Típicamente, las memorias de computadora disponen de 256 MB (MB es megabyte), o más, de memoria interna.

Operaciones Básicas de las memorias

Puesto que una memoria almacena datos binarios, los datos deben introducirse en la memoria y deben poder recuperarse cuando se necesiten. La operación de escritura coloca los datos en una posición específica de la memoria y la operación de lectura extrae los datos de una dirección específica de memoria. La operación de direccionamiento, que forma parte tanto de la operación de lectura como de la de escritura, selecciona la dirección de memoria específica.

Las unidades de datos se introducen en la memoria durante la operación de escritura y se extraen de la memoria durante la operación de lectura a través de un conjunto de líneas que se denominan bus de datos. Como se indica en la figura 32(a), el bus de datos es bidireccional, lo que significa que los datos pueden ir en cualquiera de las dos direcciones (hacia la memoria o desde la memoria).

En el caso de una memoria organizada en bytes, el bus de datos tiene al menos ocho líneas, de manera que los ocho bits de una dirección seleccionada se transmiten en paralelo. En una operación de escritura o de lectura, se selecciona una dirección introduciendo un código binario, que representa la dirección deseada, en un conjunto de líneas denominado bus de direcciones.

El código de dirección se decodifica internamente y de esa forma se selecciona la dirección adecuada. En el caso de la matriz de memoria de 3 dimensiones de la figura 32(b), se usan dos decodificadores, uno para las filas y otro para las columnas. El número de líneas del bus de direcciones depende de la capacidad de la memoria. Por ejemplo, un código de dirección de 15 bits puede seleccionar 32.768 posiciones (2^{15}) en la memoria; un código de dirección de 16 bits puede seleccionar 65.536 (2^{16}) posiciones de memoria, etc. En las computadoras personales, un bus de direcciones de 32 bits puede seleccionar 4.294.967.296 (2^{32}) posiciones, lo que se expresa como 4 G.

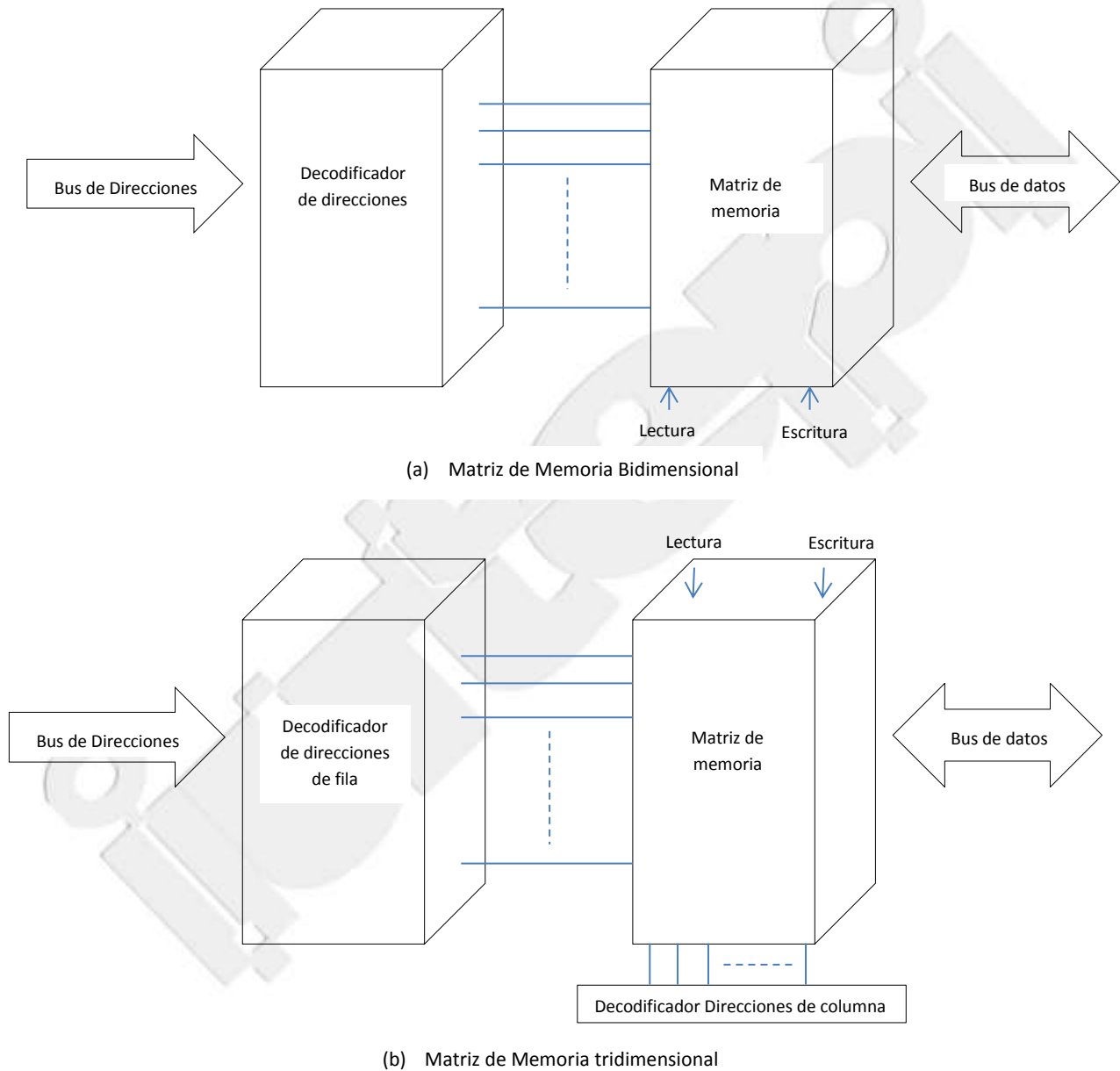


Figura 32.- Diagrama de bloques de memoria de 2 dimensiones y 3 dimensiones

Operación de Escritura

Para almacenar un byte de datos en memoria, se introduce en el bus de direcciones un código que se encuentra almacenado en el registro de direcciones. Una vez que el código de dirección está ya en el bus, el decodificador de direcciones decodifica la dirección y selecciona la posición de memoria especificada. La memoria recibe entonces una orden de escritura y los datos almacenados en el registro de datos se introducen en el bus de datos, y se almacenan en la dirección de memoria especificada, completándose así la operación de escritura. Cuando se escribe un nuevo byte de datos en una dirección de memoria, se sobrescribe y destruye el byte de datos actualmente almacenado en esa dirección.

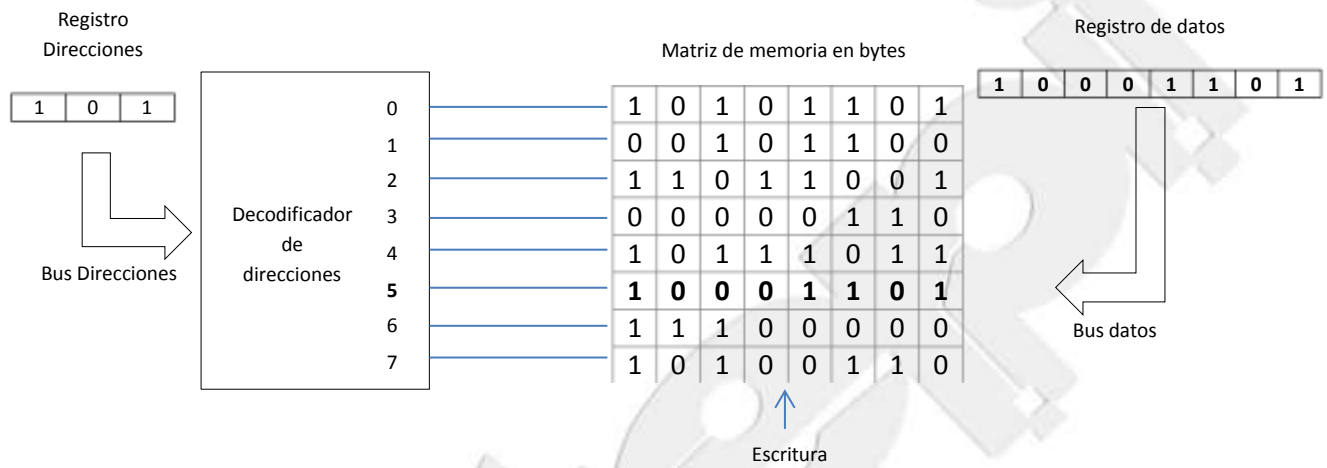


Figura 33.- Operación de escritura

En la figura 33, mostrada el código de dirección 101 se coloca en el bus de direcciones y se selecciona la dirección 5. El byte de datos se coloca en el bus da datos. El comando de escritura hace que el byte de datos se almacene en la dirección 5, reemplazando a los datos anteriores.

Operación de Lectura

En la figura 34 se muestra la operación de lectura simplificada. De nuevo, se introduce en el bus de direcciones un código almacenado en el registro de direcciones. Una vez que el código de dirección se encuentra en el bus, el decodificador de direcciones decodifica la dirección y selecciona la posición especificada de la memoria. La memoria recibe entonces una orden de lectura, y una "copia" del byte de datos almacenado en la dirección de memoria seleccionada se introduce en el bus de datos y se carga en el registro de datos, finalizando así la operación de lectura. Cuando se lee un byte de datos de una dirección de memoria, éste sigue almacenado en dicha dirección. Esto se denomina lectura no destructiva.

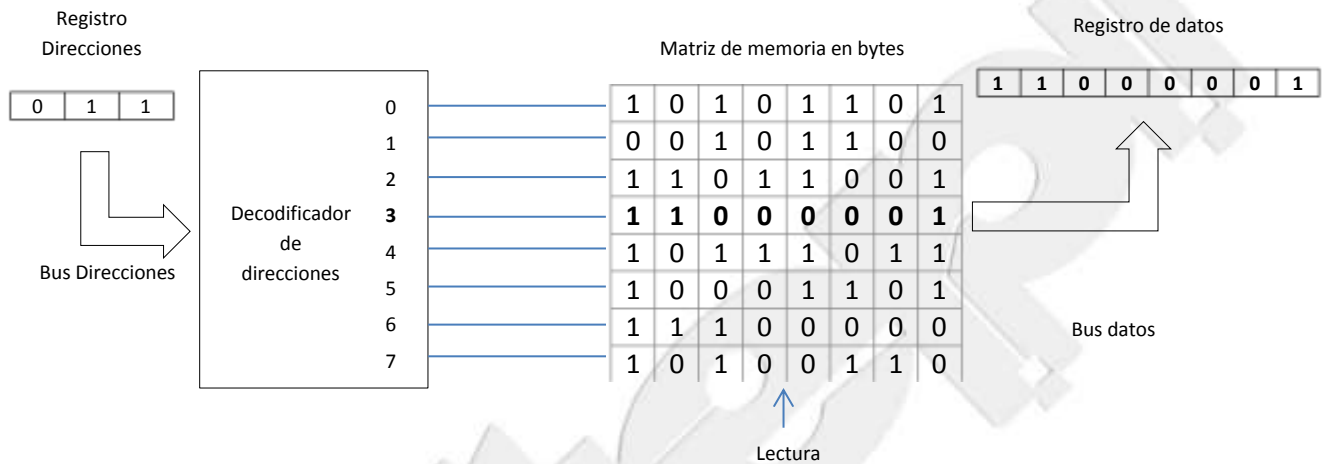


Figura 34.- Operación de lectura

En la figura 34 mostrada el código de dirección 011 se coloca en el bus de direcciones y se selecciona la dirección 3. Se aplica el comando de lectura. El contenido de la dirección 3 se coloca en el bus de datos y se desplaza al registro de datos. El contenido de la dirección 3 no se destruye como consecuencia de la operación de lectura.

Memorias RAM y ROM

Las dos principales categorías de memorias semiconductoras son las memorias RAM y ROM. La memoria RAM (Random-Access Memory, memoria de acceso aleatorio) es un tipo de memoria en la que se tarda lo mismo en acceder a cualquier dirección de memoria y éstas se pueden seleccionar en cualquier orden, tanto en una operación de lectura como de escritura. Todas las RAM poseen la capacidad de lectura y escritura.

Debido a que las memorias RAM pierden los datos almacenados cuando se desconecta la alimentación, reciben el nombre de memorias volátiles.

La memoria ROM (Read-Only Memory, memoria de sólo lectura) es un tipo de memoria en la que los datos se almacenan de forma permanente o semipermanente. Los datos se pueden leer de una ROM, pero no existe la operación de escritura como en las RAM. La ROM, al igual que la RAM, es una memoria de acceso aleatorio pero, tradicionalmente, el término RAM se reserva para las memorias de acceso aleatorio de lectura/escritura. Debido a que las ROM mantienen los datos almacenados incluso si se desconecta la alimentación, reciben el nombre de memorias no volátiles.

Memorias de Acceso Aleatorio (RAM)

Las RAM son memorias de lectura-escritura en las que los datos se pueden escribir o leer en cualquier dirección seleccionada en cualquier secuencia. Cuando se escriben los datos en una determinada dirección de la RAM, los datos almacenados previamente son reemplazados por la nueva unidad de datos.

Cuando una unidad de datos se lee de una determinada dirección de la RAM, los datos de esa dirección permanecen almacenados y no son borrados por la operación de lectura. Esta operación no destructiva de lectura se puede entender como una copia del contenido de una dirección, dejando dicho contenido intacto. La RAM se utiliza habitualmente para almacenamiento de datos a corto plazo, ya que no puede conservar los datos almacenados cuando se desconecta la alimentación.

Familia de Memorias RAM

Las dos categorías de memorias RAM son la RAM estática (SRAM) y la RAM dinámica (DRAM). Las RAM estáticas utilizan generalmente latches como elementos de almacenamiento y, por tanto, pueden almacenar datos de forma indefinida siempre que se aplique una alimentación continua.

Las RAM dinámicas utilizan condensadores como elemento de almacenamiento y no pueden mantener los datos mucho tiempo sin recargar los condensadores mediante el proceso de refresco. Tanto las SRAM como las DRAM perderán los datos cuando se elimine la alimentación continua, por lo que se clasifican como memorias volátiles.

Los datos pueden leerse mucho más rápidamente en una SRAM que en una DRAM. Sin embargo, las DRAM pueden almacenar muchos más datos que las SRAM para un tamaño físico y coste dados, ya que la celda de las DRAM es mucho más sencilla y se pueden incluir muchas más celdas en un área determinada que en una memoria SRAM.

RAM Estática (SRAM)

Todas las RAM estáticas se caracterizan por las celdas de memoria latch. Cuando se aplica alimentación continua a una celda de memoria estática se puede mantener un estado 1 o 0 indefinidamente. Si se retira la alimentación, el bit de datos almacenado se perderá. La celda se selecciona mediante un nivel activo en la línea Selección de bit y un bit de datos (1 o 0) se escribe en la celda colocándolo en la línea Entrada de datos. Un bit de datos se puede leer extrayéndolo de la línea Salida de datos.

Las celdas de almacenamiento en una SRAM se organizan en filas y columnas, para el caso de una matriz $n \times 4$. Todas las celdas de una misma fila comparten la misma línea Seleccionar Fila. Cada conjunto de líneas Entrada de datos y Salida de datos van a cada celda situada en una determinada columna y se conectan a una única línea de datos, que sirve como entrada y salida (E/S datos), a través de los buffers de entrada y salida de datos.

Para escribir una unidad de datos, en este caso un grupo de 4 bits, en una fila de celdas determinada de la matriz de memoria, la línea Selección Fila se pone en su estado activo y los cuatro bits de datos se colocan en las líneas de entrada de datos. La línea de escritura (write) se pone entonces en estado activo, lo que da lugar a que cada bit de datos se almacene en una celda seleccionada en la columna asociada. Para leer una unidad de datos, se pone en estado activo la línea de lectura (read), lo que hace que los cuatro bits de datos almacenados en la fila seleccionada aparezcan en las líneas de E/S de datos.

RAM Dinámica (DRAM)

Las celdas de las memorias dinámicas almacenan un bit de datos en un condensador en lugar de en un latch. La ventaja de este tipo de celda es que es muy sencilla, lo que permite construir matrices de memoria muy grandes en un chip, a un coste por bit más bajo que el de las memorias estáticas. La desventaja es que el condensador de almacenamiento no puede mantenerse cargado más que un período de tiempo, y el dato almacenado se pierde a no ser que su carga se refresque periódicamente. La operación de refresco requiere circuitería de memoria adicional y complica el funcionamiento de la DRAM.

La principal aplicación de las DRAM se encuentra en la memoria principal de las computadoras. La diferencia principal entre las DRAM y las SRAM es el tipo de celda de memoria. Como se ha visto, la celda de la memoria DRAM está formada por un transistor y un condensador, y es mucho más sencilla que la celda de la SRAM. Esto permite densidades mucho mayores en las DRAM, lo que da lugar a mayores capacidades de bits para una determinada área de chip, aunque el tiempo de acceso es mucho mayor.

De nuevo, dado que la carga almacenada en un condensador tiende a perderse, las celdas de una DRAM requieren una operación de refresco frecuente para conservar los bits de datos almacenados. Este requisito da lugar a una circuitería más compleja que en la SRAM.

Memorias de Solo Lectura (ROM)

Una ROM mantiene de forma permanente o semipermanente los datos almacenados, que pueden ser leídos de la memoria pero, o no se pueden cambiar en absoluto, o se requiere un equipo especial para ello. Una ROM almacena datos que se utilizan repetidamente en las aplicaciones, tales como tablas, conversiones o instrucciones programadas para la inicialización y el funcionamiento de un sistema. Las ROM mantienen los datos almacenados cuando se desconecta la alimentación y son, por tanto, memorias no volátiles.

Familias de Memoria ROM

La ROM de máscara es un tipo de memoria en la que los datos se almacenan permanentemente en la memoria durante el proceso de fabricación.

La PROM, o ROM programable, es aquel tipo de ROM en la que el usuario, con ayuda de equipos especializados, almacena eléctricamente los datos. Tanto la ROM de máscara como la PROM pueden ser de cualquier tecnología MOS o bipolar. La EPROM, o memoria PROM borrable (erasable PROM) es exclusivamente un dispositivo MOS. La UV EPROM puede ser programada eléctricamente por el usuario, pero los datos almacenados deben borrarse mediante la exposición a la luz ultravioleta durante un período de varios minutos. La PROM borrable eléctricamente (EEPROM o E²PROM, Electrically Erasable PROM) se puede borrar en unos pocos milisegundos.

Memoria ROM

Es una memoria programada de forma permanente durante el proceso de fabricación, para proporcionar funciones estándar de uso extendido, tales como conversiones populares, o para proporcionar funciones especificadas por el usuario. Una vez que se programa la memoria, ésta no puede cambiarse. La mayoría de los circuitos integrados ROM utilizan la presencia o ausencia de una conexión de transistor en una unión fila/columna para representar un 1 o un 0.

Memoria PROM

Las PROM utilizan algún tipo de mecanismo de fundición para almacenar bits, donde un hilo de memoria se funde o queda intacto para representar un 0 o un 1. El proceso de fundición es irreversible; una vez que una PROM ha sido programada no puede cambiarse.

Los tres tipos básicos de tecnologías de fusibles utilizados en las PROM son las conexiones de metal (fundición), las conexiones de silicio y las uniones pn. A continuación, se proporciona una breve descripción de cada una de ellas.

- Las conexiones de metal se realizan con materiales como el nicromo. Cada bit de la matriz de memoria se representa mediante una conexión separada. Durante la programación, la conexión puede fundirse o quedar intacta. Básicamente, esto se realiza direccionando primero una determinada celda, y luego aplicando una cantidad de corriente suficientemente alta como para hacer que la conexión se abra.
- Las conexiones de silicio están constituidas por tiras estrechas y alargadas de silicio policristalino. La programación de estos fusibles requiere que las conexiones se fundan por el paso de una cantidad de corriente adecuada a su través. Esta cantidad de corriente hace que aumente la temperatura en el fusible, lo que origina que se oxide el silicio, formando un aislante alrededor de la conexión que ahora está abierta.
- La tecnología de uniones cortocircuitadas, o de migración inducida por avalancha, consiste básicamente en dos uniones pn dispuestas una frente a la otra. Durante el proceso de programación, una de las uniones de los diodos entra en avalancha, y el voltaje y el calor resultantes hacen que los iones de aluminio migren y

cortocircuiten la unión. La unión restante se utiliza posteriormente como diodo polarizado en directa para representar un bit de datos.

Memorias EPROM

Una EPROM es una PROM borrable. A diferencia de una PROM ordinaria, una EPROM puede ser reprogramada si antes se borra el programa existente en la matriz de memoria.

Una EPROM utiliza una matriz NMOSFET con una estructura de puerta aislada. La puerta del transistor aislada no tiene ninguna conexión eléctrica y puede almacenar una carga eléctrica durante un período de tiempo indefinido. Los bits de datos en este tipo de matriz se representan mediante la presencia o ausencia de una carga almacenada en la puerta. El borrado de un bit de datos es un proceso que elimina la carga de la puerta.

Los dos tipos fundamentales de memorias PROM borrables son las PROM borrables por rayos ultravioleta (UV EPROM) y las PROM borrables eléctricamente (EEPROM). UV EPROM. Una UV EPROM se puede reconocer por la ventana de cuarzo transparente de su encapsulado, como se muestra en la figura 35. La puerta aislada del FET de una EPROM ultravioleta está "flotando" dentro de un material óxido aislante.



Figura 35.- Vista de una Memoria UV PROM

El proceso de programación hace que los electrones sean eliminados de la puerta flotante. El borrado se realiza mediante la exposición del chip de la matriz de memoria a una radiación ultravioleta de alta intensidad, a través de la ventana de cuarzo en la parte superior del encapsulado. La carga positiva almacenada en la puerta se neutraliza después de un período de tiempo de entre unos minutos y una hora de exposición.

Memoria Cache

Una de las principales aplicaciones de las memorias SRAM es la implementación de memorias caché en computadoras. La memoria caché es una memoria de alta velocidad y relativamente pequeña que almacena los datos o instrucciones más recientemente utilizados de la memoria principal, más grande pero más lenta. La memoria caché puede también utilizar memoria RAM dinámica (DRAM), de la que hablaremos a continuación.

Normalmente, la memoria SRAM es varias veces más rápida que la memoria DRAM. En conjunto, la memoria caché hace que el microprocesador pueda acceder a la información almacenada mucho más rápido que si sólo se empleara memoria DRAM de alta capacidad.

La memoria caché es, básicamente, un método eficiente en términos de coste para mejorar el rendimiento del sistema sin tener que incurrir en el gasto de hacer que toda la memoria sea más rápida. El concepto de memoria caché se basa en la idea de que los programas informáticos tienden a obtener instrucciones o datos de un área de la memoria principal antes de pasar a otra área. Básicamente, el controlador de la caché “adivina” qué área de la lenta memoria dinámica necesitará a continuación la unidad central de proceso (CPU), y mueve el contenido de dicha área a la memoria caché, para que esté listo cuando sea necesario.

Si el controlador de caché ha realizado una estimación correcta, los datos están disponibles de manera inmediata para el microprocesador. Si la estimación del controlador de caché es errónea, la CPU debe acudir a la memoria principal y esperar mucho más tiempo para obtener las instrucciones o datos correctos. Afortunadamente, el controlador de caché tiene razón la mayor parte de las veces.

Autoevaluación

Memorias

38. La capacidad de bits de una memoria que tiene 1024 direcciones y que puede almacenar 8 bits en cada dirección es:

- (a) 1024 (b) 8192 (c) 8 (d) 4096

39. Una palabra de datos de 32 bits está formada por:

- (a) 2 bytes (b) 4 nibbles (c) 4 bytes (d) 3 bytes y 1 nibble

40. Los datos en una memoria de acceso aleatorio (RAM) se almacenan durante:

- (a) la operación de lectura.
(b) la operación de habilitación.
(c) la operación de escritura.
(d) la operación de direccionamiento.

41. Una ROM es:

- (a) una memoria no volátil.
(b) una memoria volátil.
(c) una memoria de lectura/escritura.
(d) una memoria organizada en bytes.

42. Una memoria con 256 direcciones tiene:

- (a) 256 líneas de dirección.
- (b) 6 líneas de dirección.
- (c) 1 línea de dirección.
- (d) 8 líneas de dirección.

43. Una memoria organizada en bytes tiene:

- (a) 1 línea de salida de datos.
- (b) 4 líneas de salida de datos.
- (c) 8 líneas de salida de datos.
- (d) 16 líneas de salida de datos.

44. La celda de almacenamiento en una SRAM es:

- (a) un flip-flop (b) un condensador
- (c) un fusible (d) un punto magnético

45. Una DRAM debe ser:

- (a) reemplazada periódicamente.
- (b) refrescada periódicamente.
- (c) habilitada siempre.
- (d) programada antes de cada uso.

46. Una memoria flash es:

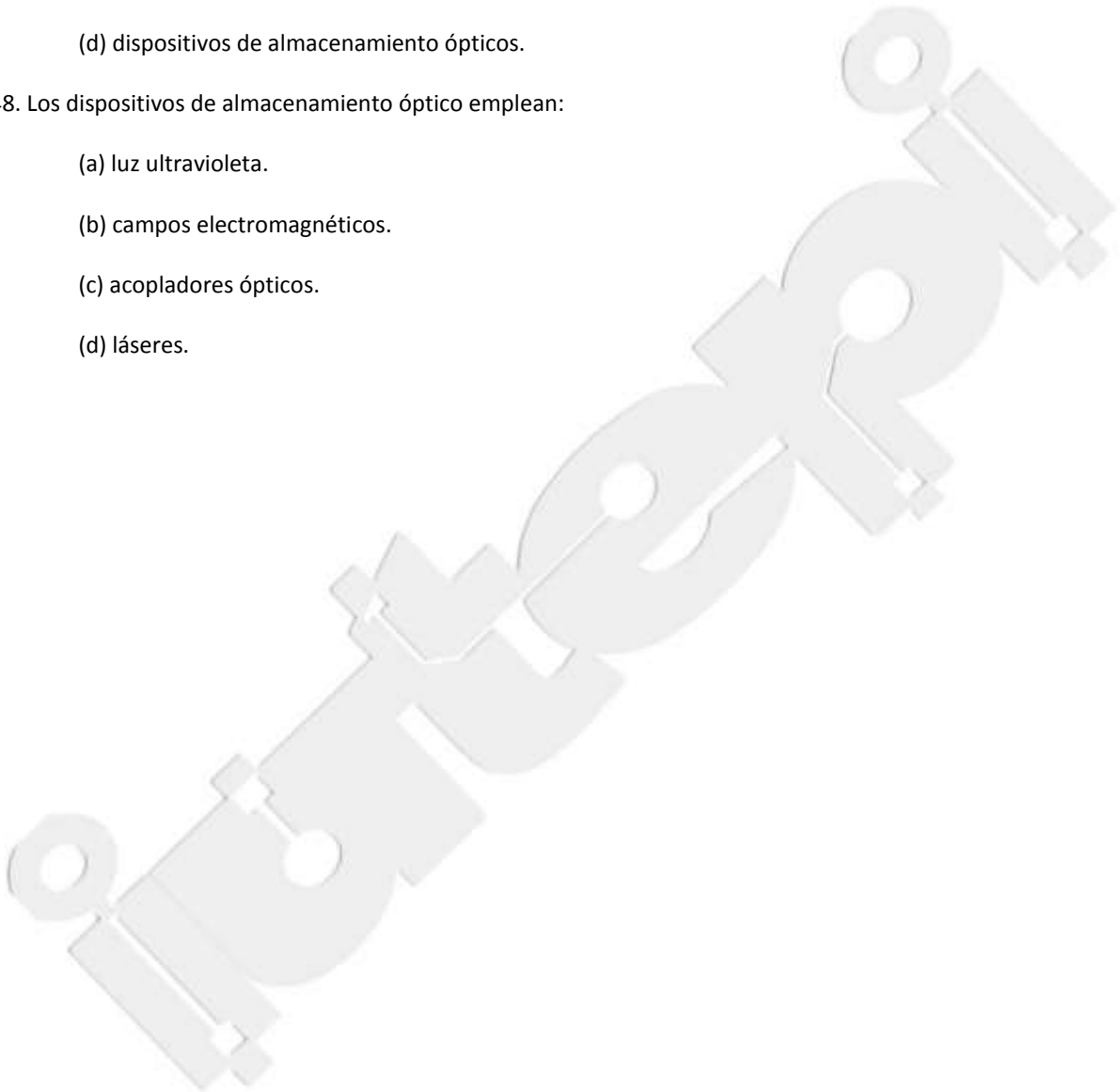
- (a) volátil
- (b) una memoria de sólo lectura.
- (c) una memoria de lectura/escritura.
- (d) no volátil.
- (e) las respuestas (a) y (c).
- (f) las respuestas (c) y (d).

47. Disco duro, disquete, disco Zip y disco Jaz son todos ellos:

- (a) dispositivos de almacenamiento magneto-óptico.
- (b) dispositivos de almacenamiento semiconductores.
- (c) dispositivos de almacenamiento magnéticos.
- (d) dispositivos de almacenamiento ópticos.

48. Los dispositivos de almacenamiento óptico emplean:

- (a) luz ultravioleta.
- (b) campos electromagnéticos.
- (c) acopladores ópticos.
- (d) láseres.



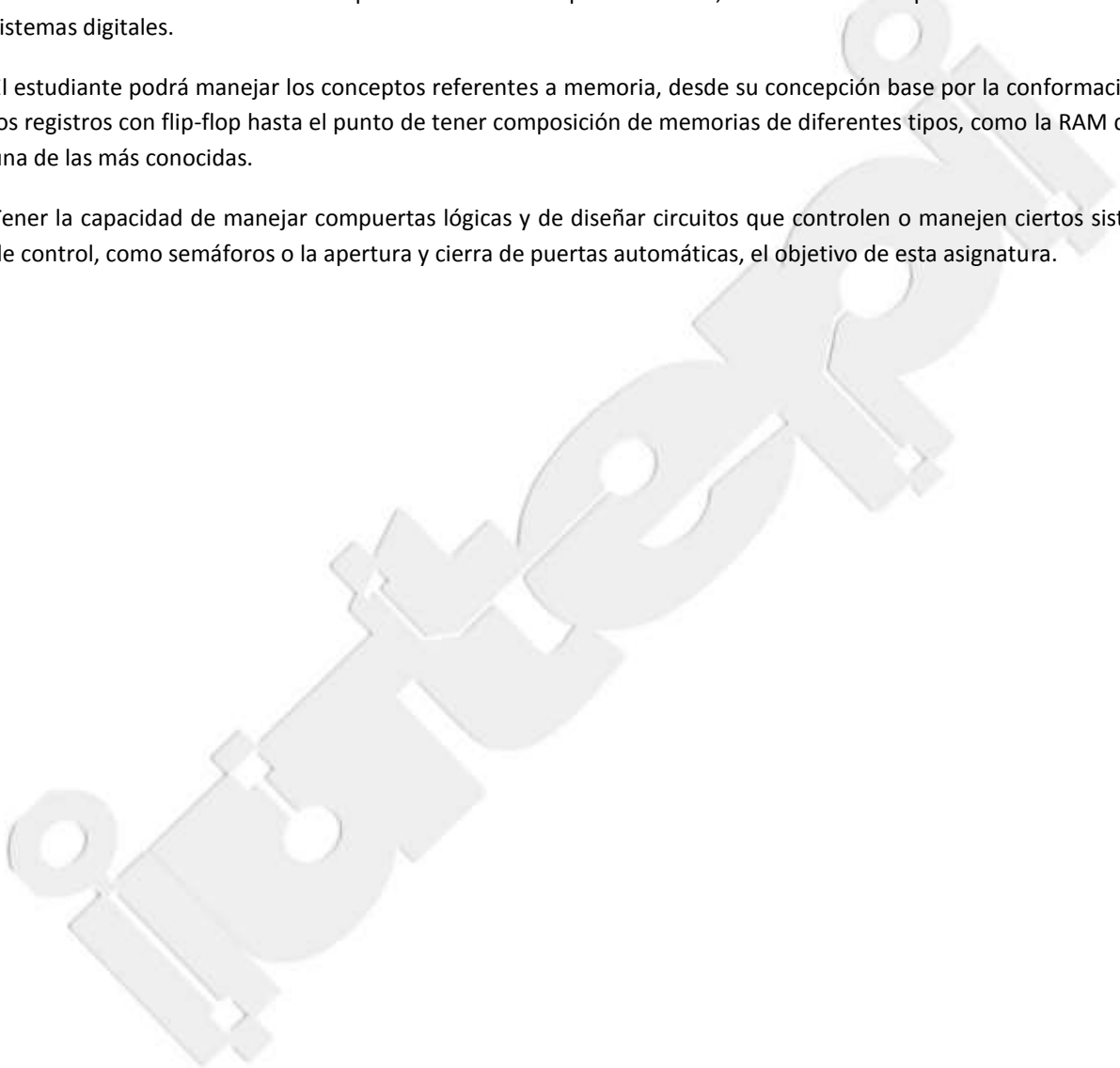
Conclusión

Al finalizar esta asignatura el estudiante debe estar familiarizado la forma de direccionar bits, por medio de la compresión de los multiplexores y demultiplexores, los direccionamientos son fundamentales en el almacenamiento o memoria, lo cual es de alta importancia en los sistemas digitales.

Como en todo sistema digital el tiempo de respuesta o retardo, tiene importancia, el estudiante con esta asignatura tendrá el conocimiento necesario para el uso del temporizador 555, el cual es de amplio uso en electrónica y sistemas digitales.

El estudiante podrá manejar los conceptos referentes a memoria, desde su concepción base por la conformación de los registros con flip-flop hasta el punto de tener composición de memorias de diferentes tipos, como la RAM que es una de las más conocidas.

Tener la capacidad de manejar compuertas lógicas y de diseñar circuitos que controlen o manejen ciertos sistemas de control, como semáforos o la apertura y cierre de puertas automáticas, el objetivo de esta asignatura.



Bibliografía

1. Floyd, Thomas. "Fundamentos de Sistemas Digitales". Pearson Educación S.A., Madrid 2.006
2. Malik, Norbert. "Circuitos Electrónicos, Análisis, Simulación y Diseño". Prentice Hall, Madrid 1.998
3. Tokheim, Roger. "Principios Digitales". Mc Graw Hill. Serie Shaum.

